

【11】證書號數：I664756

【45】公告日：中華民國 108 (2019) 年 07 月 01 日

【51】Int. Cl. : H01L43/12 (2006.01)

H01L43/02 (2006.01)

發明

全 6 頁

【54】名稱：用於MRAM裝置之磁屏蔽封裝結構及其製造方法

MAGNETIC SHIELDING PACKAGE STRUCTURE FOR MRAM DEVICE
AND METHOD FOR PRODUCING THE SAME

【21】申請案號：106137919 【22】申請日：中華民國 106 (2017) 年 11 月 02 日

【11】公開編號：201916420 【43】公開日期：中華民國 108 (2019) 年 04 月 16 日

【30】優先權：2017/09/26 美國 15/716,115

【72】發明人：高 山 (SG) GAO, SHAN ; 鄭富陽 (KR) JUNG, BOO YANG

【71】申請人：新加坡商格羅方德半導體私人有限公司 GLOBALFOUNDRIES SINGAPORE
PTE. LTD.

新加坡

【74】代理人：洪武雄；陳昭誠

【56】參考文獻：

CN 102683222A

CN 105529324A

審查人員：陳建仲

【57】申請專利範圍

1. 一種方法，包含：形成嵌在一印刷電路板(PCB)基板之上半部、下半部之間的第一金屬層，該第一金屬層有側向分離的一對金屬填充通孔；將一半導體晶粒貼合至該 PCB 基板在該對金屬填充通孔之間的該上半部；通過該對金屬填充通孔使該半導體晶粒電氣連接至該 PCB 基板；將該 PCB 基板之該上半部在該對金屬填充通孔外的一部份移除向下到該第一金屬層；以及形成一第二金屬層於該半導體晶粒的相對四側上面及上，該第二金屬層座落於該第一金屬層上。
2. 如申請專利範圍第 1 項所述之方法，包含：形成由一鎳(Ni)-鐵(Fe)合金組成的該第一及該第二金屬層。
3. 如申請專利範圍第 1 項所述之方法，包含：形成厚度有 50 微米(μm)至 1000 μm 的該第一及該第二金屬層。
4. 如申請專利範圍第 1 項所述之方法，更包含：在該第一金屬層中形成側向分離的一對通孔；形成一介電層於該對通孔中且於該第一金屬層的頂面及底面上面；移除該介電層穿過該對通孔的部份；以及在形成嵌在該 PCB 基板之該上半部、該下半部之間的該第一金屬層之前，用一金屬填滿該對通孔，而形成該對金屬填充通孔。
5. 如申請專利範圍第 1 項所述之方法，包含用以下方式使該半導體晶粒電氣連接至該 PCB 基板：用配線接合該半導體晶粒。
6. 如申請專利範圍第 1 項所述之方法，包含用以下方式使該半導體晶粒電氣連接至該 PCB 基板：用數個凸塊下金屬(UBM)焊盤接合該半導體晶粒。
7. 如申請專利範圍第 6 項所述之方法，其中，該半導體晶粒用該等 UBM 焊盤電氣連接至該 PCB 基板，該方法更包含：在連接該半導體晶粒之前，在該等 UBM 焊盤與該 PCB 基板之該上半部之間形成一金屬層。

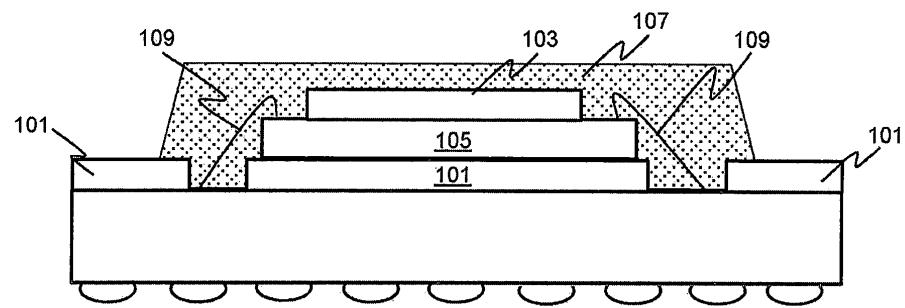
8. 如申請專利範圍第 1 項所述之方法，包含用以下方式形成該第二金屬層於該半導體晶粒上面：在該第二金屬層與該半導體晶粒之間形成有 $100\mu\text{m}$ 至 $1,000\mu\text{m}$ 的一間隙。
9. 如申請專利範圍第 1 項所述之方法，包含用以下方式形成該第二金屬層於該半導體晶粒上面：形成該第二金屬層於該半導體晶粒上。
10. 如申請專利範圍第 1 項所述之方法，其中，該半導體晶粒包含一磁性隨機存取記憶體(MRAM)結構。
11. 一種裝置，包含：第一金屬層，嵌在一印刷電路板(PCB)基板之上半部、下半部之間，該第一金屬層有側向分離的一對金屬填充通孔；介電層，在各通孔之側壁上且在該第一金屬層之頂面及底面上面；半導體晶粒，在該對金屬填充通孔之間貼合至該 PCB 基板之該上半部；以及第二金屬層，在該半導體晶粒之相對四側上面及上，該第二金屬層通過該 PCB 基板之該頂部而座落於該第一金屬層上。
12. 如申請專利範圍第 11 項所述之裝置，其中，該第一及該第二金屬層包含鎳(Ni)-鐵(Fe)合金。
13. 如申請專利範圍第 11 項所述之裝置，其中，該第一及該第二金屬層有 50 微米(μm)至 $1000\mu\text{m}$ 的厚度。
14. 如申請專利範圍第 11 項所述之裝置，其中，該第二金屬層在該半導體晶粒上面有 $100\mu\text{m}$ 至 $1,000\mu\text{m}$ 。
15. 如申請專利範圍第 11 項所述之裝置，其中，該第二金屬層在該半導體晶粒上。
16. 如申請專利範圍第 11 項所述之裝置，其中，該對金屬填充通孔包含銅(Cu)。
17. 如申請專利範圍第 11 項所述之裝置，其中，該半導體晶粒包含一磁性隨機存取記憶體(MRAM)結構。
18. 一種方法，包含：形成嵌在一印刷電路板(PCB)基板之上半部、下半部之間厚度有 50 微米(μm)至 $1000\mu\text{m}$ 的第一金屬層，該第一金屬層有側向分離的一對金屬填充通孔；將一 MRAM 結構在該對金屬填充通孔之間貼合至該 PCB 基板之該上半部；藉由用數條配線或數個凸塊下金屬(UBM)焊盤接合該 MRAM 結構，使該 MRAM 結構通過該對金屬填充通孔而電氣連接至該 PCB 基板；將該 PCB 基板之該上半部在該對金屬填充通孔外的一部份向下移除到該第一金屬層；以及在該 MRAM 結構的相對四側上面及上形成厚度有 $50\mu\text{m}$ 至 $1000\mu\text{m}$ 的第二金屬層，該第二金屬層座落於該第一金屬層上。
19. 如申請專利範圍第 18 項所述之方法，包含：形成由一鎳(Ni)-鐵(Fe)合金組成的該第一及該第二金屬層。
20. 如申請專利範圍第 18 項所述之方法，更包含：在該第一金屬層中形成側向分離的一對通孔；形成一介電層於該對通孔中且於第一金屬層的頂面及底面上面；移除該介電層穿過該對通孔的部份；以及在形成該第一金屬層之前，用一金屬填充該對通孔，而形成該對金屬填充通孔。

圖式簡單說明

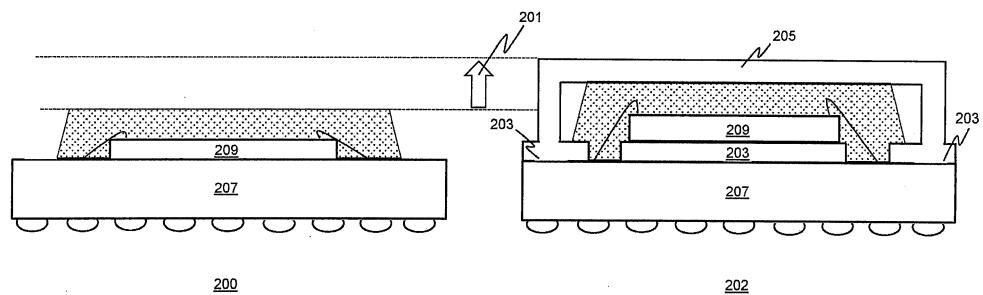
在此用附圖舉例說明而不是限定本揭示內容，圖中類似的元件用相同的元件符號表示。

第 1 圖及第 2 圖圖示用以將 MRAM 結構磁屏蔽於打線接合式 MRAM 封裝中的製程挑戰；第 3 圖至第 5 圖的橫截面圖根據一示範具體實施例示意圖示用以將 MRAM 結構的六面磁屏蔽於薄打線接合封裝中的加工流程；以及第 6 圖至第 8 圖的橫截面圖根據一示範具體實施例示意圖示用以將 MRAM 結構的六面磁屏蔽於薄覆晶封裝中的加工流程。

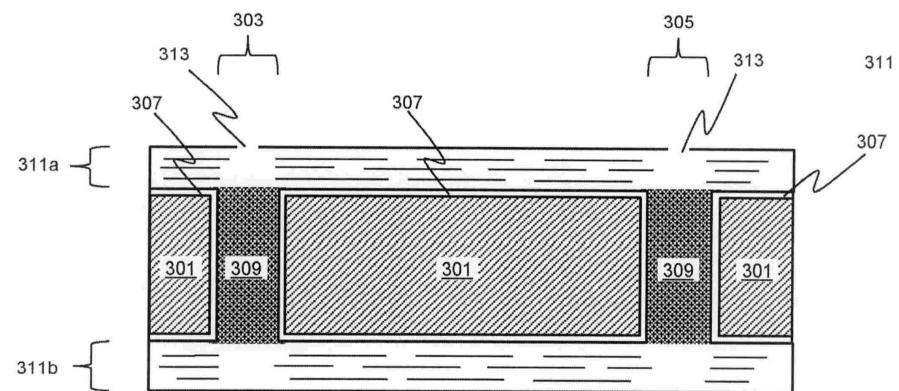
(3)



第1圖

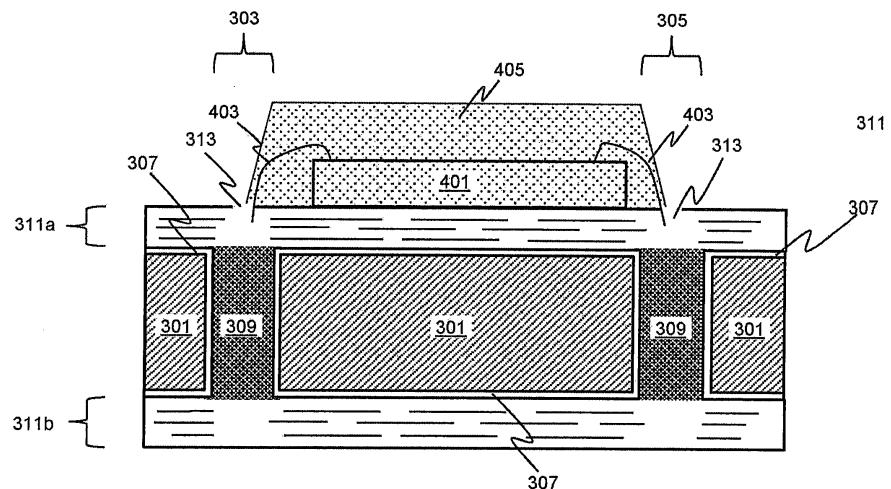


第2圖

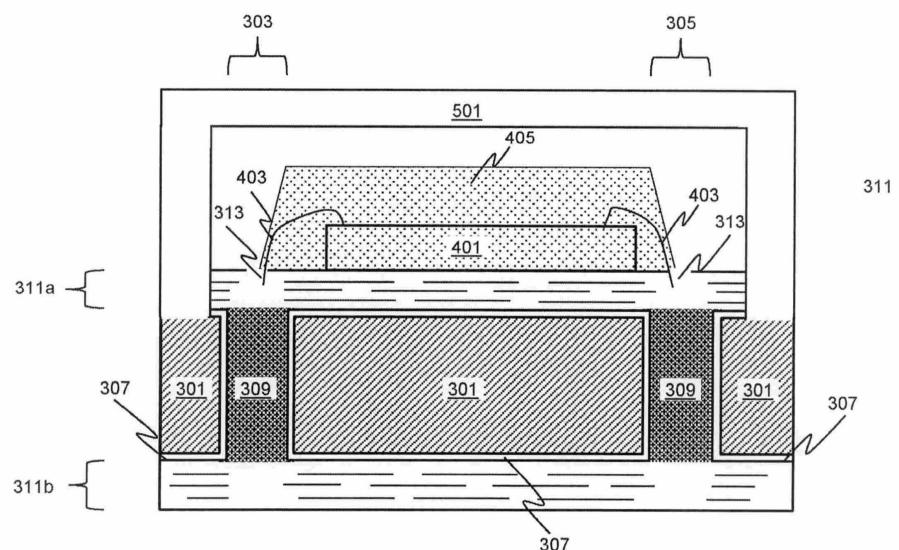


第3圖

(4)

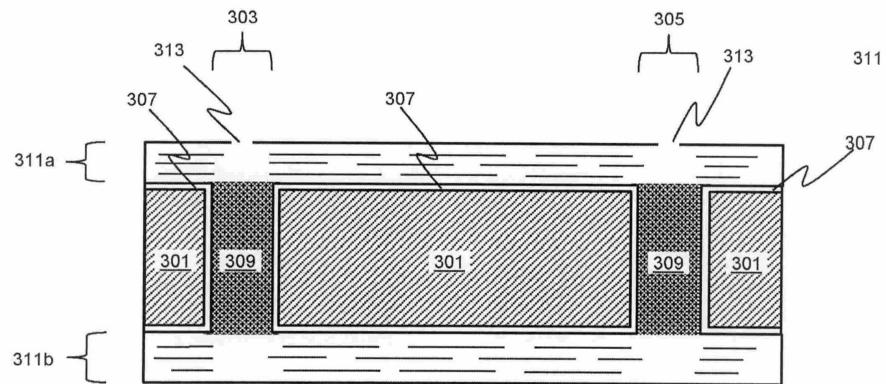


第4圖

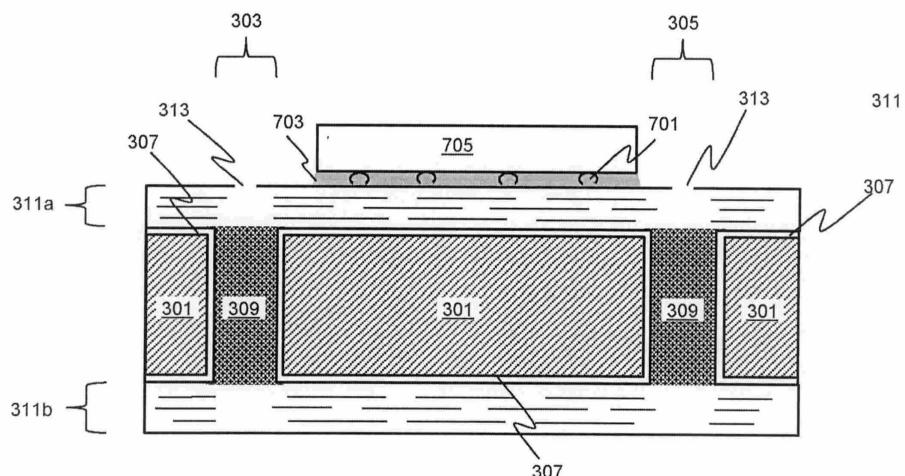


第5圖

(5)

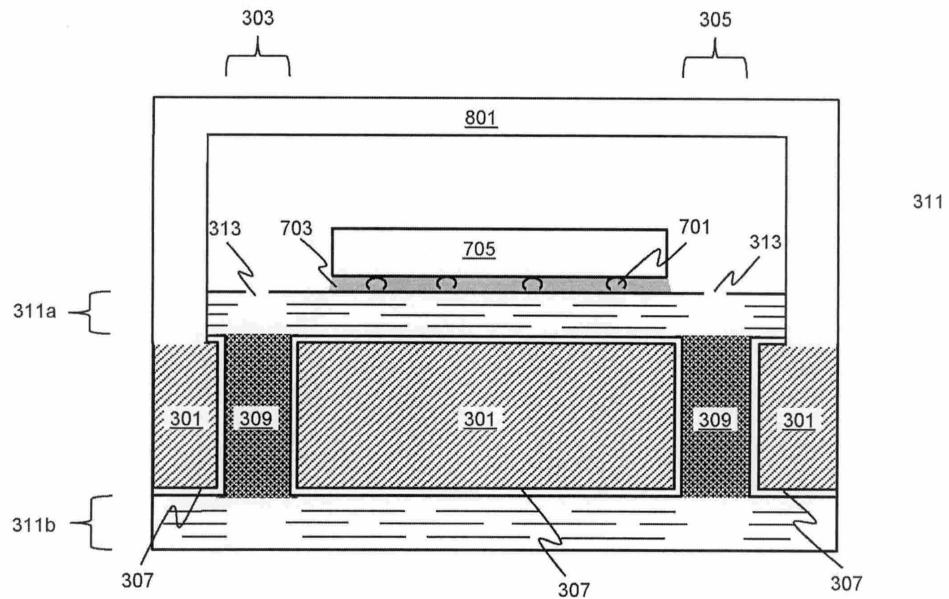


第6圖



第7圖

(6)



第8圖