

【11】證書號數：I664685

【45】公告日：中華民國 108 (2019) 年 07 月 01 日

【51】Int. Cl.：H01L21/60 (2006.01) H01L23/522 (2006.01)

發明

全 40 頁

【54】名稱：具有無矽基底的中介層的封裝及其形成方法

PACKAGES WITH SI-SUBSTRATE-FREE INTERPOSER AND METHOD  
FORMING SAME

【21】申請案號：106135773

【22】申請日：中華民國 106 (2017) 年 10 月 18 日

【11】公開編號：201916191

【43】公開日期：中華民國 108 (2019) 年 04 月 16 日

【30】優先權：2017/09/18

美國

15/707,237

【72】發明人：余振華 (TW) YU, CHEN-HUA；陳憲偉 (TW) CHEN, HSIEN-WEI；陳明發 (TW) CHEN, MING-FA；葉松峯 (TW) YEH, SUNG-FENG

【71】申請人：台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR  
MANUFACTURING CO., LTD.

新竹市力行六路八號

【74】代理人：卓俊傑

【56】參考文獻：

TW M531651

TW 201501242A

TW 201705362A

US 2007/0006435A1

US 2017/0164458A1

審查人員：湯欽全

## 【57】申請專利範圍

1. 一種封裝的形成方法，包括：形成多個介電層；在所述多個介電層中形成多條重佈線；在所述多個介電層中形成堆疊通孔，其中所述堆疊通孔形成穿透所述多個介電層的連續電性連接；在所述堆疊通孔及所述多個介電層之上形成介電層；在所述介電層中形成多個接墊；以及藉由混合接合將第一裝置晶粒接合至所述介電層以及所述多個接墊的第一部分。
2. 如申請專利範圍第 1 項所述的封裝的形成方法，更包括藉由混合接合將第二裝置晶粒接合至所述介電層以及所述多個接墊的第二部分，其中所述多條重佈線將所述第一裝置晶粒連接至所述第二裝置晶粒。
3. 如申請專利範圍第 1 項所述的封裝的形成方法，更包括：蝕刻所述多個介電層以形成開口；以及填充所述開口，以形成穿透所述多個介電層的介電層穿孔。
4. 如申請專利範圍第 1 項所述的封裝的形成方法，更包括：將額外裝置晶粒接合至所述第一裝置晶粒，其中所述額外裝置晶粒被直接接合至所述第一裝置晶粒中的矽穿孔；在所述額外裝置晶粒的半導體基底之上形成與所述額外裝置晶粒的所述半導體基底接觸的氧化物層；形成延伸至所述氧化物層中的接墊；以及藉由混合接合將空白晶粒接合至所述氧化物層以及所述接墊。
5. 如申請專利範圍第 1 項所述的封裝的形成方法，其中所述多個介電層形成於玻璃載體之上；且所述方法更包括：剝離所述玻璃載體；以及在剝離所述玻璃載體之後，形成穿透所述多個介電層的自對準介電層穿孔，其中所述自對準介電層穿孔終止於晶粒堆疊的接墊上。

6. 一種封裝的形成方法，包括：形成多個介電層；在所述多個介電層中的每一者中形成多條重佈線；在所述多個介電層中形成被動裝置；形成穿透所述多個介電層的第一介電層穿孔及第二介電層穿孔；在所述多個介電層之上形成介電層；在所述介電層中形成多個接墊，所述多個接墊電性耦合至所述第一介電層穿孔、所述第二介電層穿孔及所述多條重佈線；以及藉由混合接合將第一裝置晶粒及第二裝置晶粒接合至所述介電層及所述多個接墊，其中所述第一裝置晶粒及所述第二裝置晶粒藉由所述多條重佈線進行電性內連，且所述第一裝置晶粒及所述第二裝置晶粒分別連接至所述第一介電層穿孔及所述第二介電層穿孔。
7. 如申請專利範圍第 6 項所述的封裝的形成方法，更包括：在所述第一裝置晶粒及所述第二裝置晶粒的相對側上填充間隙填充材料；形成穿透所述間隙填充材料的第三介電層穿孔；以及將晶粒堆疊接合至所述第三介電層穿孔。
8. 如申請專利範圍第 6 項所述的封裝的形成方法，其中所述形成所述第一介電層穿孔及所述第二介電層穿孔包括：蝕刻所述多個介電層，以形成第一開口及第二開口；以及使用導電材料填充所述第一開口及所述第二開口。
9. 如申請專利範圍第 6 項所述的封裝的形成方法，更包括：當形成所述多條重佈線時，同時在所述多個介電層中形成堆疊通孔，其中所述堆疊通孔形成穿透所述多個介電層的連續電性連接。
10. 一種封裝，包括：多個介電層；多條重佈線，位於所述多個介電層中的每一者中；介電層穿孔，穿透所述多個介電層，其中所述介電層穿孔具有穿透所述多個介電層的實質上直的邊緣；堆疊通孔，位於所述多個介電層中，其中所述堆疊通孔彼此電性連接以形成穿透所述多個介電層的連續電性連接；多個接墊，位於所述介電層穿孔及所述多條重佈線之上且連接至所述介電層穿孔及所述多條重佈線；第一介電層，所述多個接墊位於所述第一介電層中；以及第一裝置晶粒，接合至所述第一介電層以及所述多個接墊的第一部分。
11. 如申請專利範圍第 10 項所述的封裝，更包括第二裝置晶粒，所述第二裝置晶粒藉由混合接合而接合至所述第一介電層以及所述多個接墊的第二部分，其中所述第一裝置晶粒與所述第二裝置晶粒藉由所述多條重佈線彼此電性耦合。
12. 如申請專利範圍第 10 項所述的封裝，更包括：第二裝置晶粒，位於所述第一裝置晶粒之上且接合至所述第一裝置晶粒；接墊，接觸所述第二裝置晶粒的半導體基底，其中所述接墊的至少一部分位於所述第二裝置晶粒的所述半導體基底之上；第二介電層，所述接墊具有至少一部分位於所述第二介電層中；以及塊狀基底，位於所述第二介電層及所述接墊之上且接合至所述第二介電層及所述接墊。

#### 圖式簡單說明

結合附圖閱讀以下詳細說明，會最佳地理解本發明的各個態樣。應注意，根據本行業中的標準慣例，各種特徵並非按比例繪製。事實上，為論述清晰起見，可任意增大或減小各種特徵的尺寸。

圖 1 至圖 27A 說明根據一些實施例的無矽基底(無矽)的封裝的形成過程中的各中間階段的剖視圖。

圖 27B、圖 27C、圖 27D 及圖 27E 說明根據一些實施例的無矽封裝的剖視圖。

圖 28 至圖 32 說明根據一些實施例的無矽封裝的形成過程中的各中間階段的剖視圖。

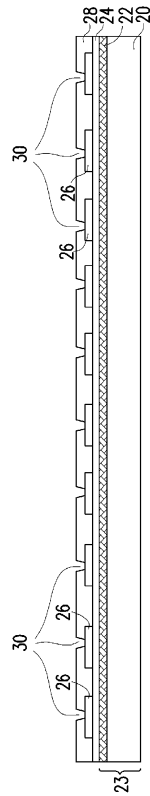
圖 33 至圖 35 說明根據一些實施例的無矽封裝的形成過程中的各中間階段的剖視圖。

圖 36 及圖 37 說明嵌置有根據一些實施例的無矽封裝的封裝的剖視圖。

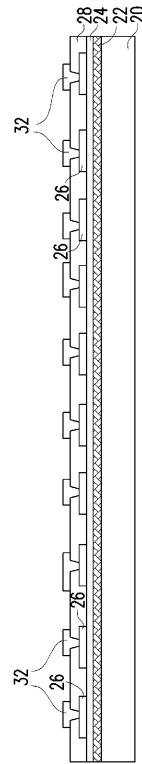
(3)

圖 38 說明用於根據一些實施例的無矽封裝中的自對準金屬接墊(self-align metal pad)的一些俯視圖。

圖 39 說明形成根據一些實施例的封裝的製程流程。

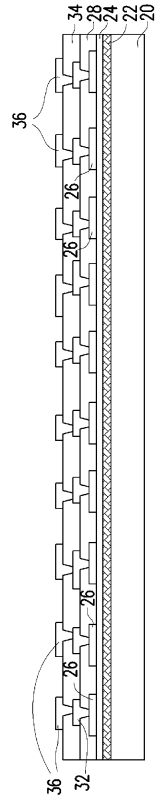


【圖1】

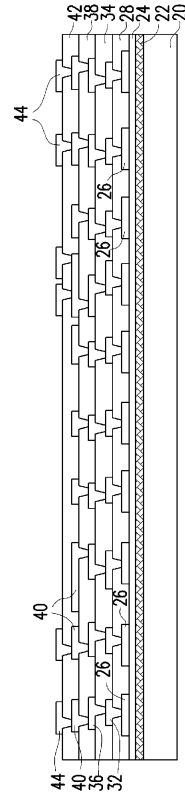


【圖2】

(4)

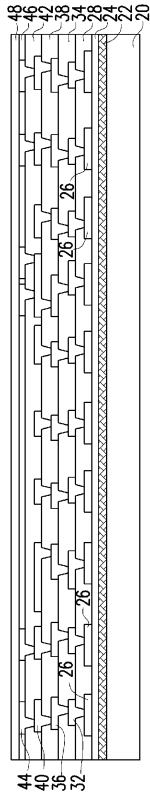


【圖3】

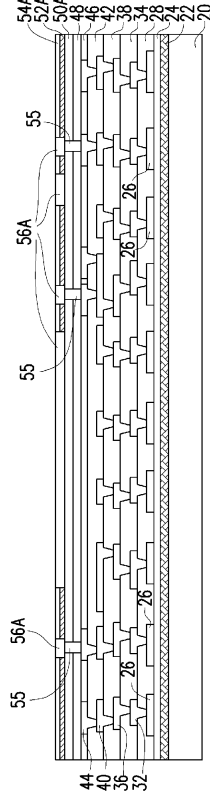


【圖4】

(5)

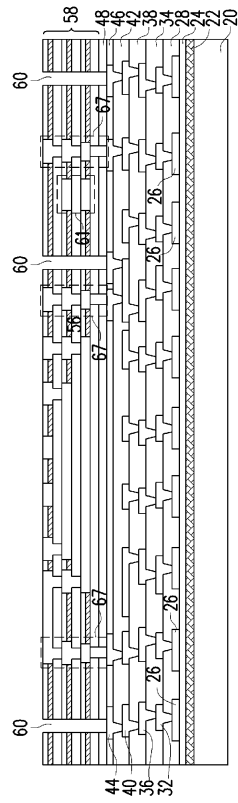


【図5】

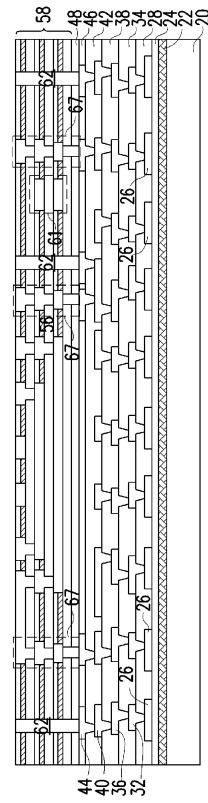


【図6】

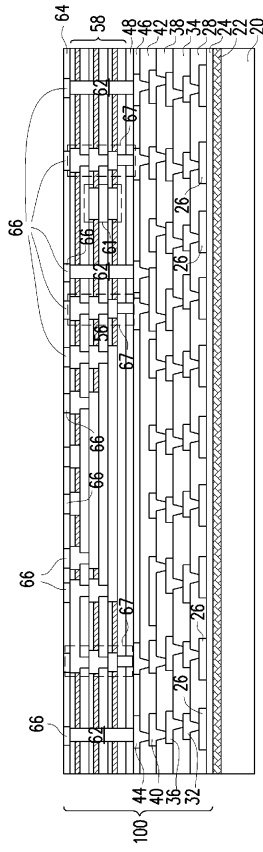




【図9】

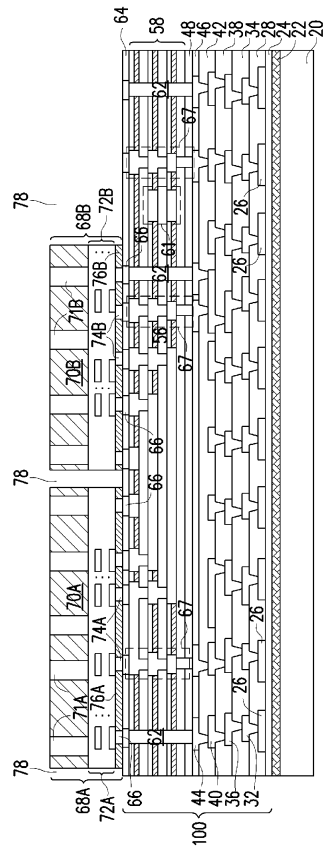


【図10】

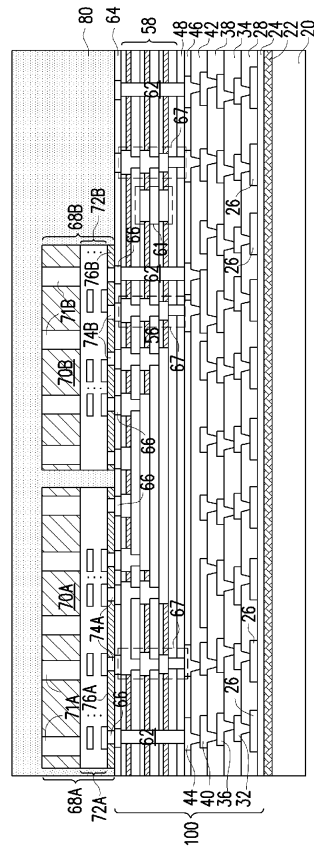


【図11】

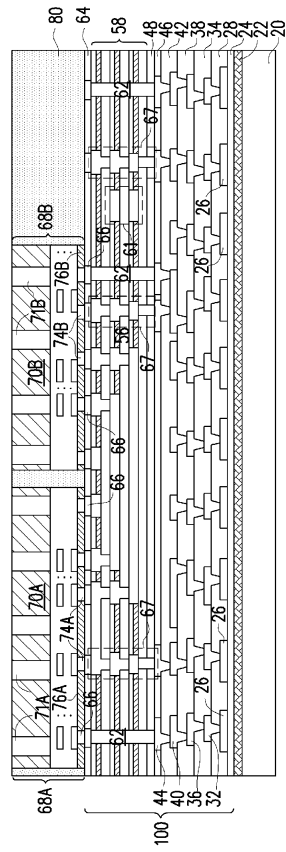




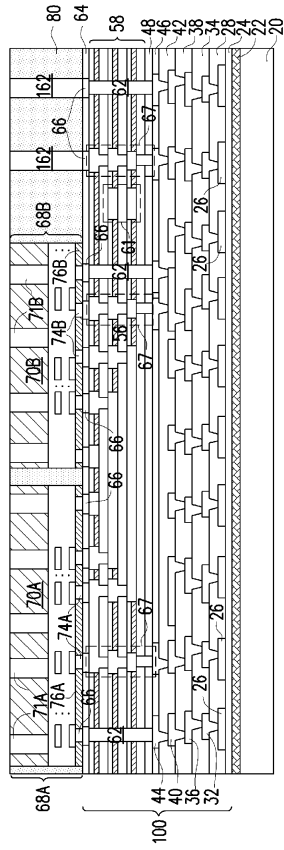
【圖12】



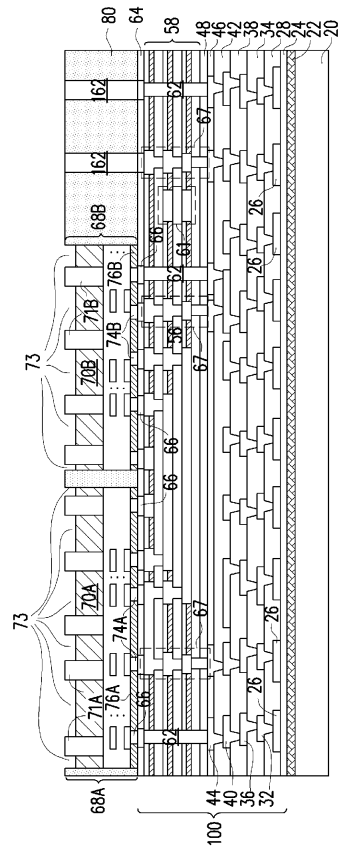
【圖13】



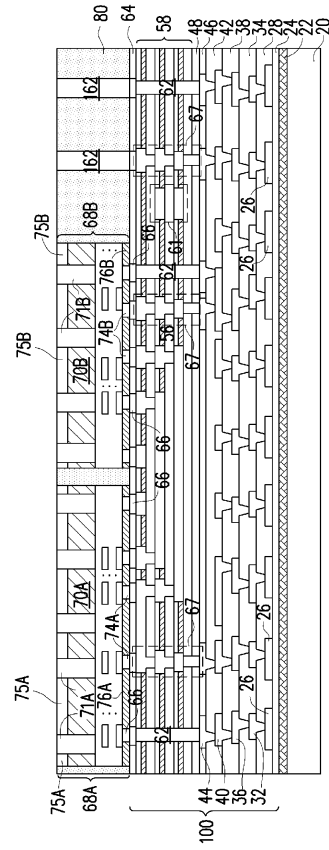
【圖14】



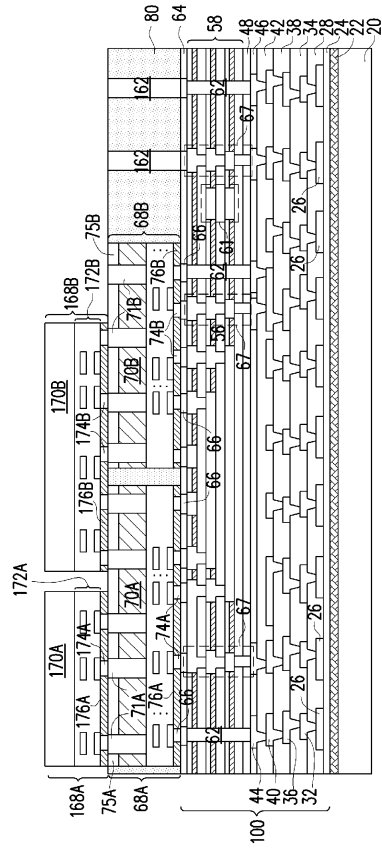
【圖15】



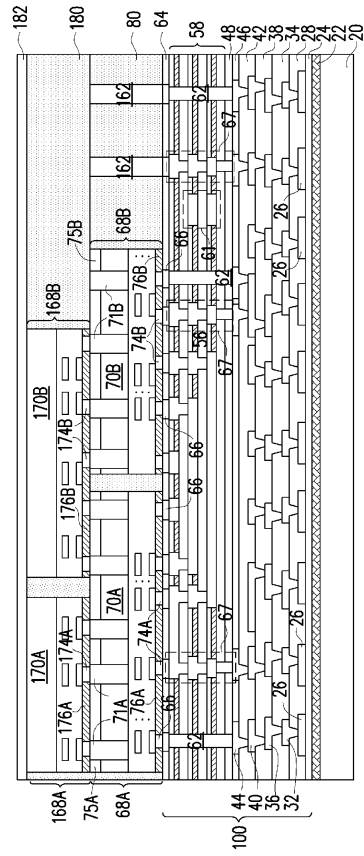
【圖16】



【図17】

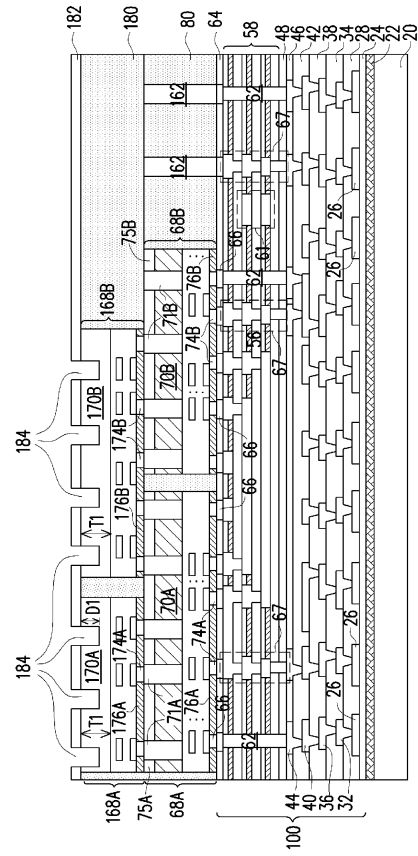


【圖18】

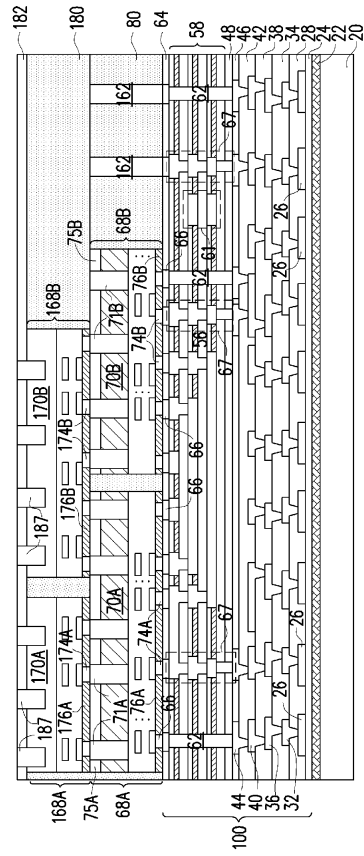


【圖19】

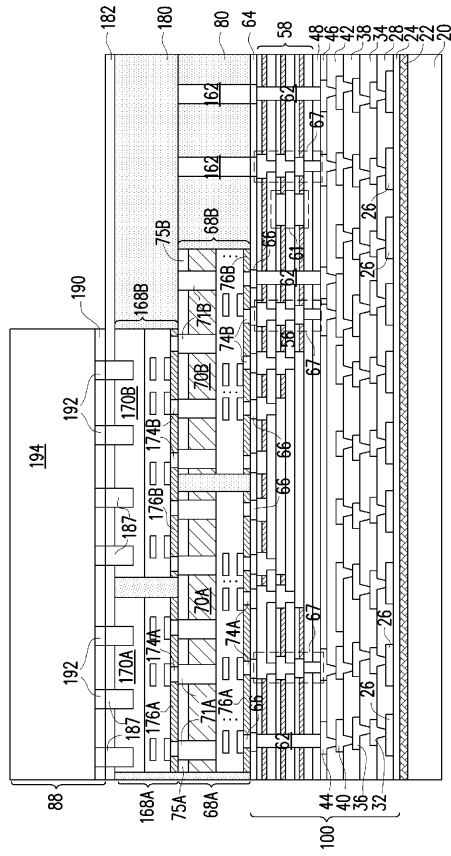




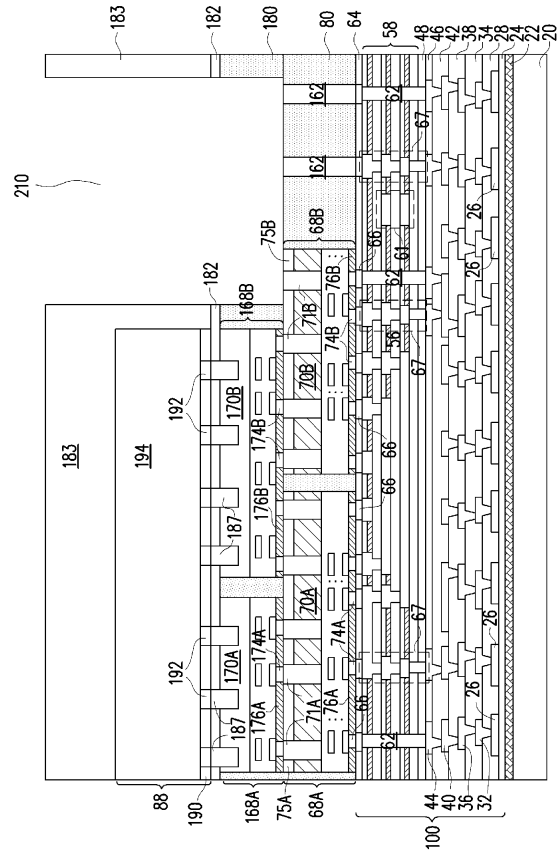
【圖20】



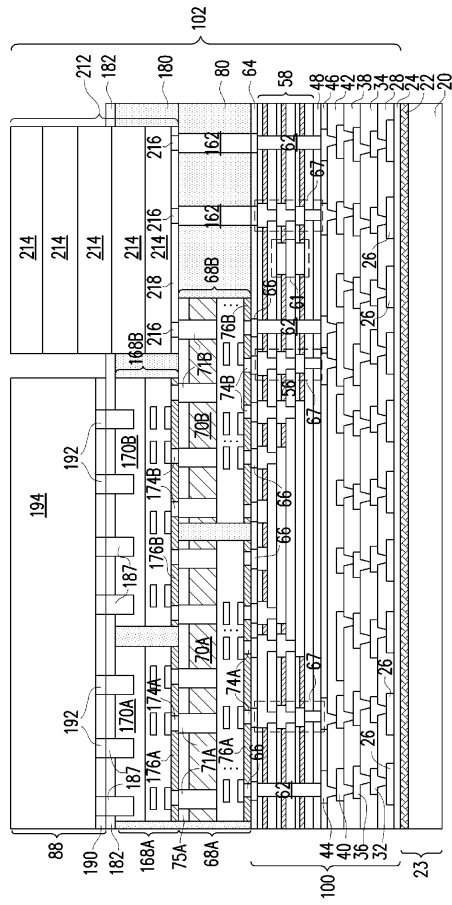
【圖21】



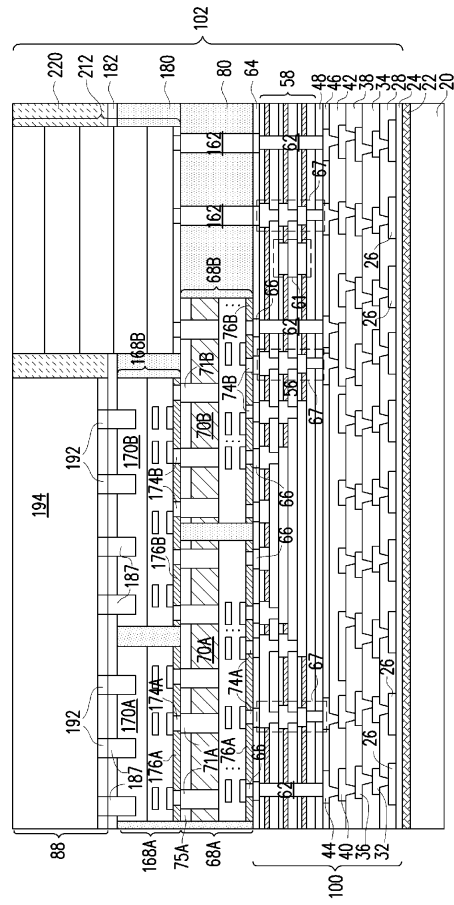
【圖22】



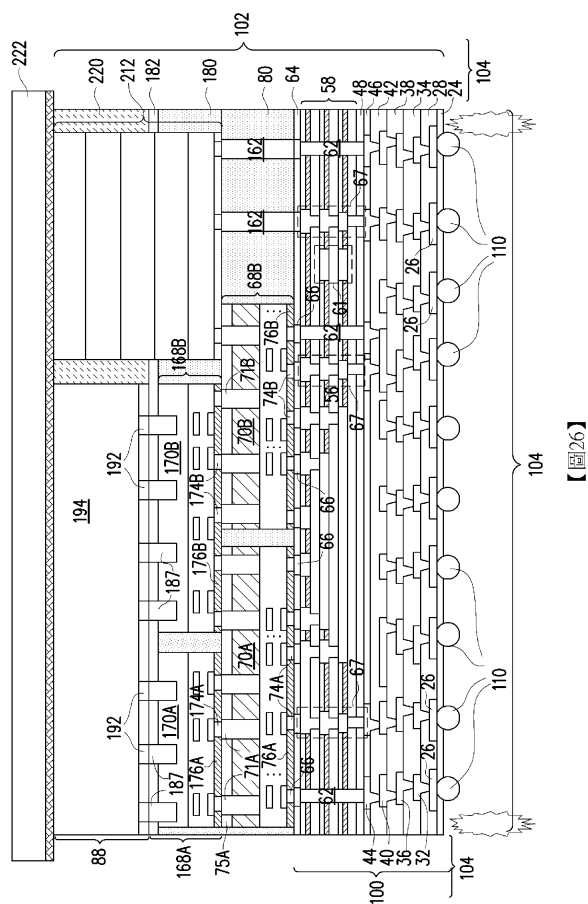
【圖23】



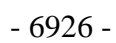
【圖24】



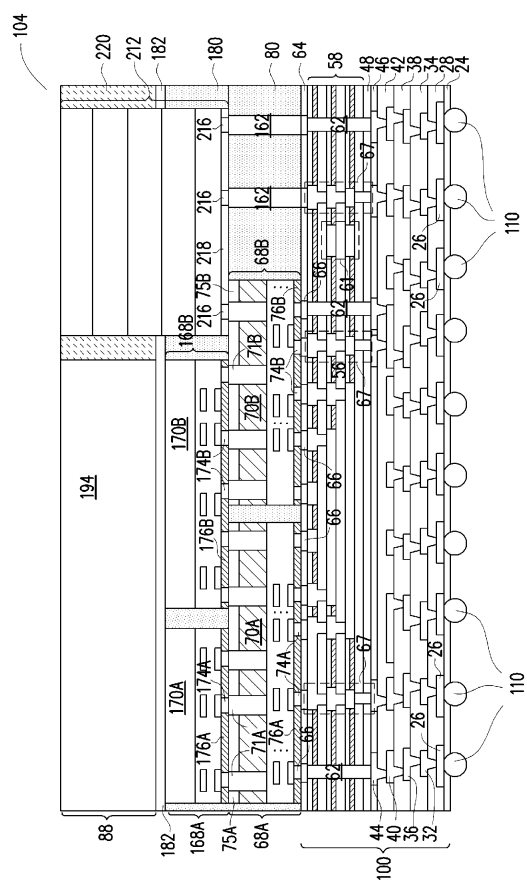
【圖25】



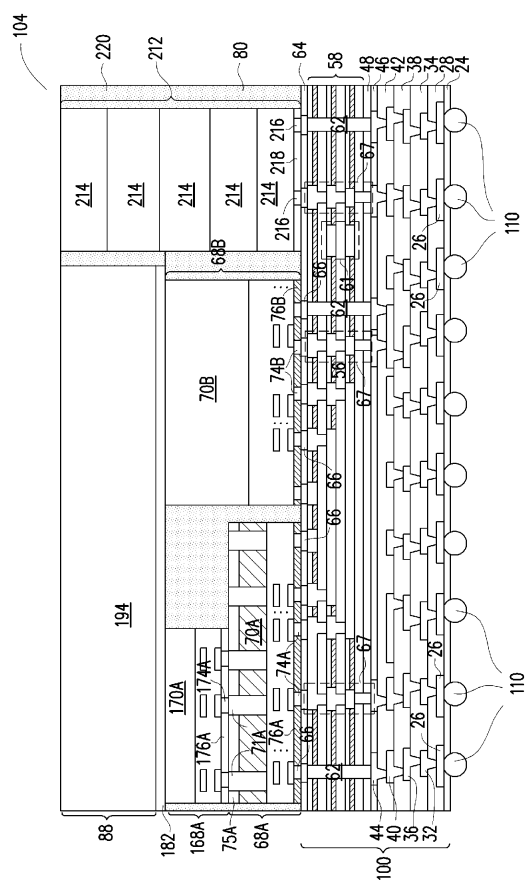
【圖27A】



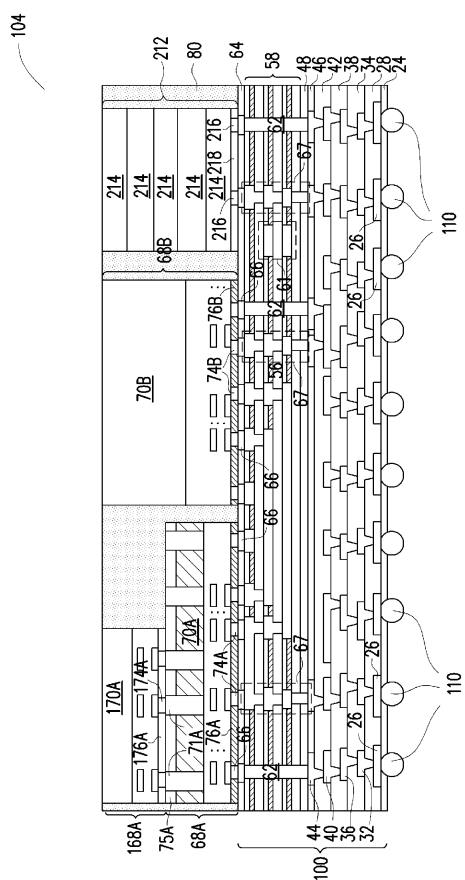




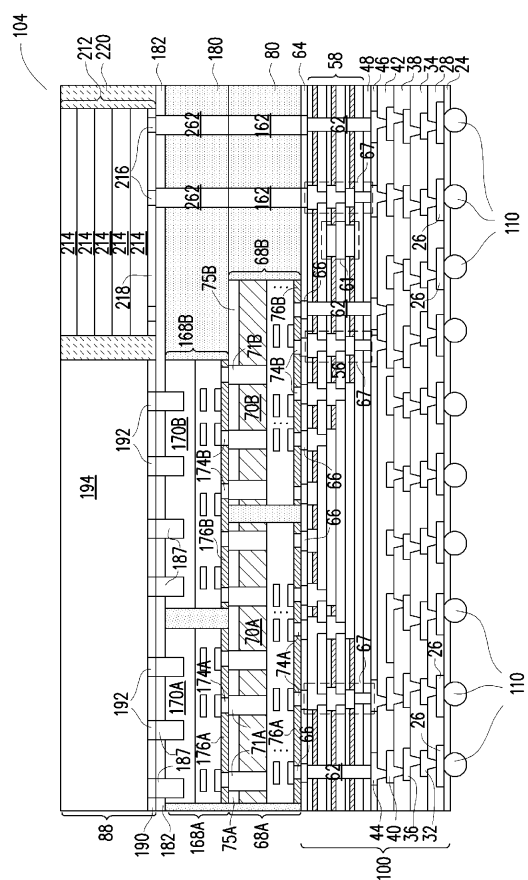
【圖27B】



【圖27C】

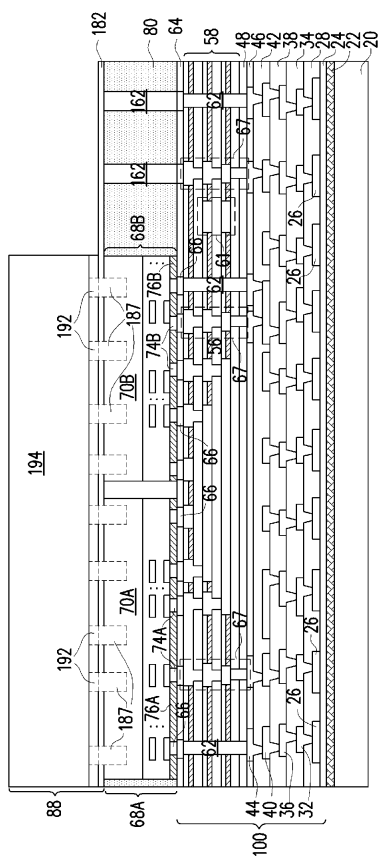


【圖27D】

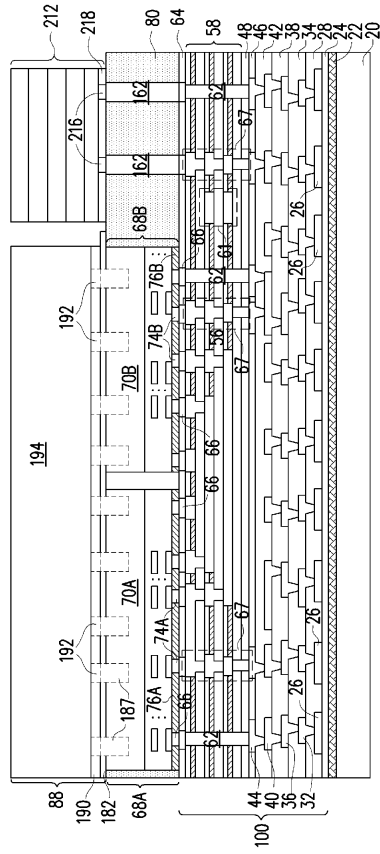


【圖27E】

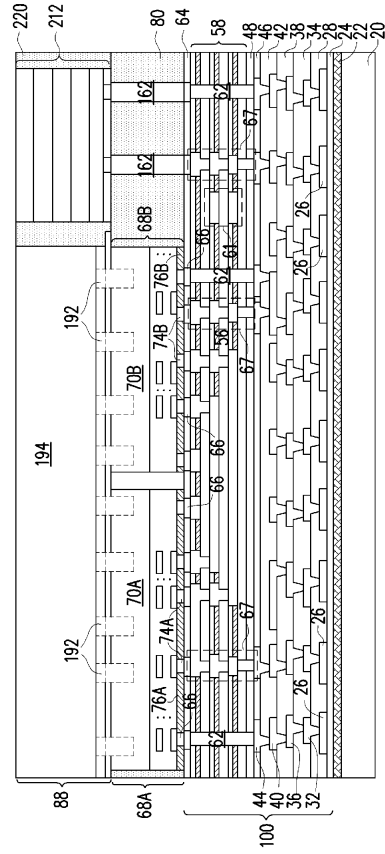




【圖29】

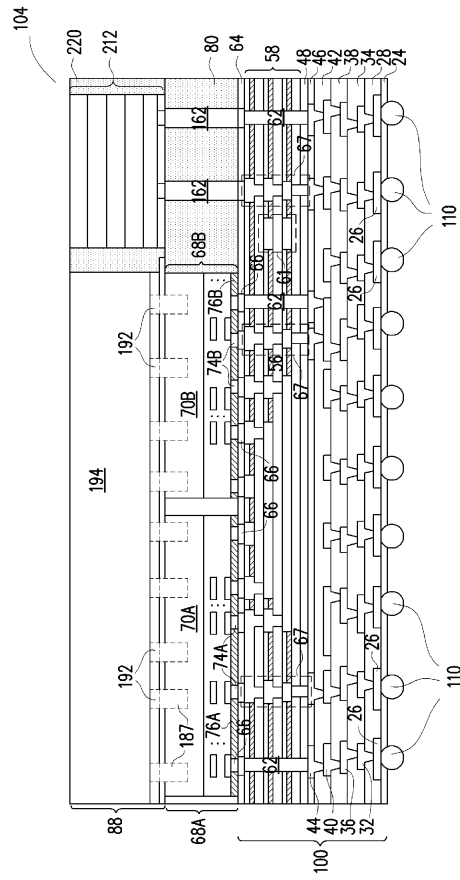


【圖30】

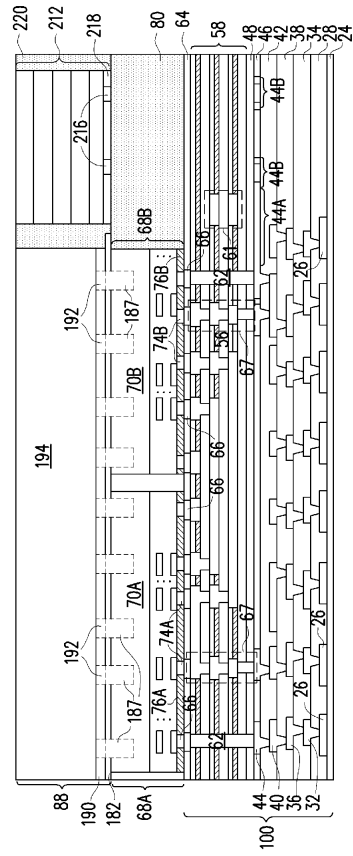


【圖31】

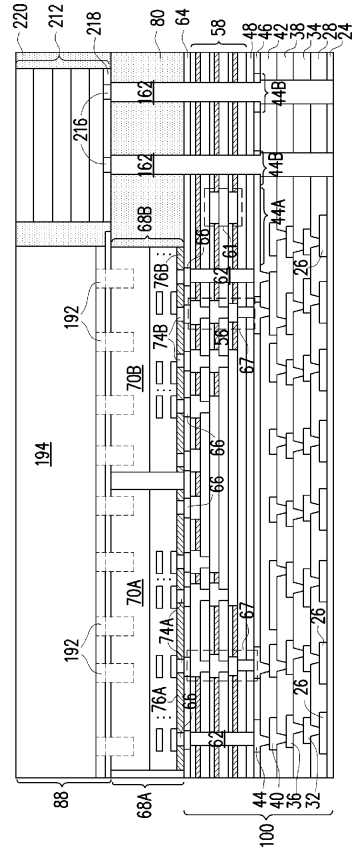


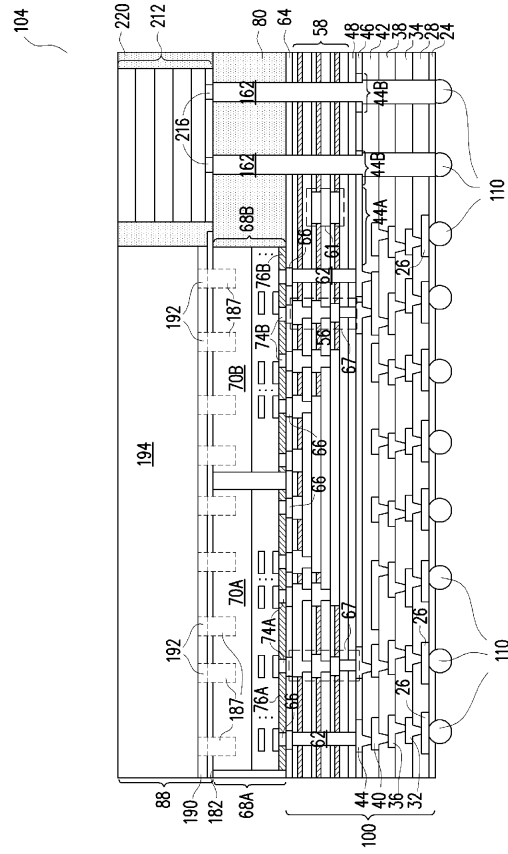


【図32】

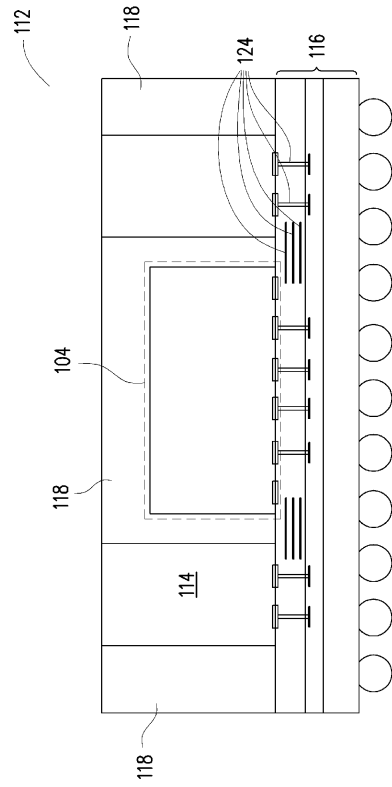


【 図33 】

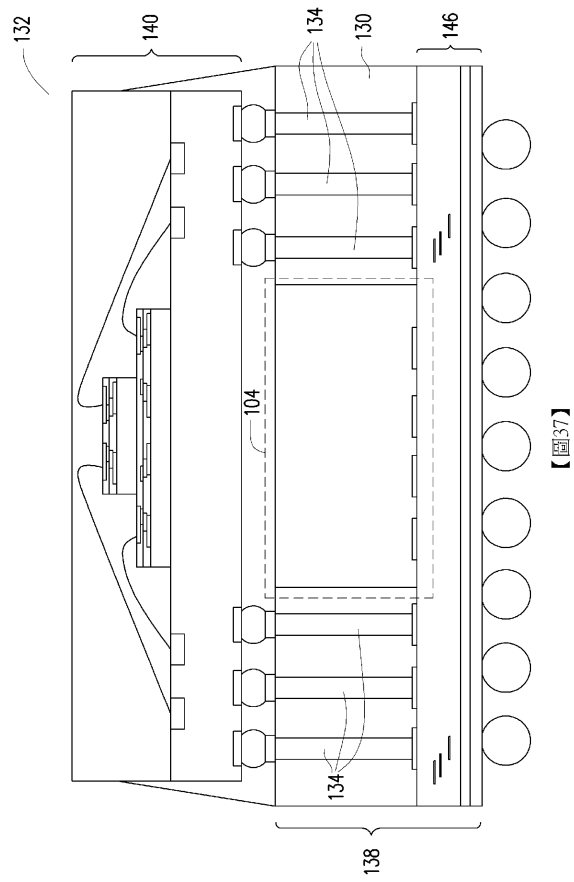


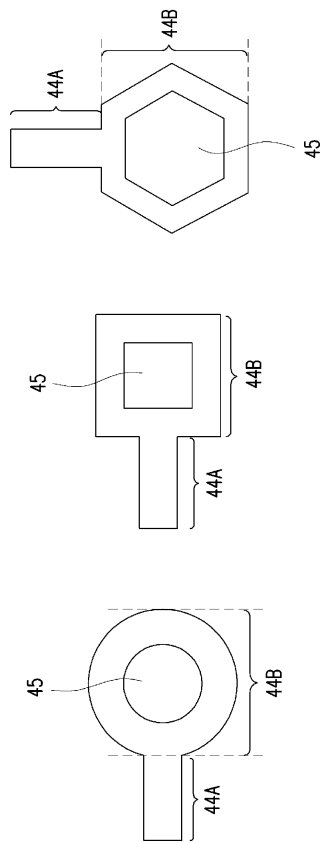


【圖35】



【圖36】





【圖38】



【圖39】