

【11】證書號數：I662661

【45】公告日：中華民國 108 (2019) 年 06 月 11 日

【51】Int. Cl.：H01L23/28 (2006.01) H01L21/60 (2006.01)

發明

全 22 頁

【54】名稱：扇出型半導體封裝

FAN-OUT SEMICONDUCTOR PACKAGE

【21】申請案號：105140305

【22】申請日：中華民國 105 (2016) 年 12 月 07 日

【11】公開編號：201743413

【43】公開日期：中華民國 106 (2017) 年 12 月 16 日

【30】優先權：2016/06/08

南韓

10-2016-0070900

2016/08/24

南韓

10-2016-0107687

【72】發明人：金正守 (KR) KIM, JUNG SOO；邊大亭 (KR) BYUN, DAE JUNG；李斗煥 (KR) LEE, DOO HWAN

【71】申請人：三星電機股份有限公司

SAMSUNG ELECTRO-MECHANICS  
CO., LTD.

南韓

【74】代理人：葉璟宗；鄭婷文；詹富閔

【56】參考文獻：

US 2007/0023902A1

US 2014/0103527A1

審查人員：唐之凱

## 【57】申請專利範圍

1. 一種扇出型半導體封裝，包括：半導體晶片，其具有上面安置有連接墊的主動表面以及與所述主動表面對置的非主動表面；囊封體，其囊封所述半導體晶片的所述非主動表面的至少部分；第二互連部件，其安置於所述半導體晶片的所述主動表面上且包含電連接至所述半導體晶片的所述連接墊的重佈層；鈍化層，其安置於所述第二互連部件上且具有暴露所述第二互連部件的所述重佈層的至少部分的開口；以及凸塊下金屬層，其安置於所述鈍化層上且填充所述開口的至少部分，其中所述凸塊下金屬層包含：第一導體層，其形成於所述鈍化層的表面上；第二導體層，其形成於經暴露的所述重佈層、所述開口的壁以及所述第一導體層上；以及第三導體層，其形成於所述第二導體層上，形成於所述鈍化層的所述表面上的導體層的數目大於形成於經暴露的所述重佈層以及所述鈍化層中的所述開口的所述壁上的導體層的數目，所述第一導體層包含僅由金屬組成的金屬層，所述第二導體層的厚度小於所述第一導體層以及所述第三導體層的厚度，且其中所述第一導體層包含電解銅，所述第二導體層包含無電銅，且所述第三導體層包含電解銅。
2. 如申請專利範圍第 1 項所述的扇出型半導體封裝，其進一步包括安置於所述凸塊下金屬層上且電連接至所述半導體晶片的所述連接墊的連接端子，其中所述連接端子中的至少一者安置於扇出區中。
3. 如申請專利範圍第 1 項所述的扇出型半導體封裝，其進一步包括具有通孔的第一互連部件，其中所述半導體晶片安置於所述第一互連部件的所述通孔中，所述囊封體填充所述第一互連部件的所述通孔的至少部分，所述第一互連部件包含：第一絕緣層；第一重佈層，其與所述第二互連部件接觸且嵌入於所述第一絕緣層中；以及第二重佈層，其安置於與嵌入有所述第一重佈層的所述第一絕緣層的一個表面對置的所述第一絕緣層的另一表面上，且所述第一重佈層以及所述第二重佈層電連接至所述連接墊。

4. 如申請專利範圍第 3 項所述的扇外型半導體封裝，其中所述第一互連部件進一步包含：第二絕緣層，其安置於所述第一絕緣層上且覆蓋所述第二重佈層；以及第三重佈層，其安置於所述第二絕緣層上，且所述第三重佈層電連接至所述連接墊。
5. 如申請專利範圍第 3 項所述的扇外型半導體封裝，其中所述第二互連部件的所述重佈層與所述第一重佈層之間的距離大於所述第二互連部件的所述重佈層與所述連接墊之間的距離。
6. 如申請專利範圍第 3 項所述的扇外型半導體封裝，其中所述第一重佈層的厚度大於所述第二互連部件的所述重佈層的厚度。
7. 如申請專利範圍第 3 項所述的扇外型半導體封裝，其中所述第一重佈層的下表面安置於高於所述連接墊的下表面的水平上。
8. 如申請專利範圍第 4 項所述的扇外型半導體封裝，其中所述第二重佈層安置於所述半導體晶片的所述主動表面與所述非主動表面之間的水平上。
9. 如申請專利範圍第 1 項所述的扇外型半導體封裝，其進一步包括具有通孔的第一互連部件，其中所述半導體晶片安置於所述第一互連部件的所述通孔中，所述囊封體填充所述第一互連部件的所述通孔的至少部分，其中所述第一互連部件包含：第一絕緣層；第一重佈層以及第二重佈層，其分別安置於所述第一絕緣層的對置表面上；第二絕緣層，其安置於所述第一絕緣層上且覆蓋所述第一重佈層；以及第三重佈層，其安置於所述第二絕緣層上，且所述第一重佈層至所述第三重佈層電連接至所述連接墊。
10. 如申請專利範圍第 9 項所述的扇外型半導體封裝，其中所述第一互連部件進一步包含：第三絕緣層，其安置於所述第一絕緣層上且覆蓋所述第二重佈層；以及第四重佈層，其安置於所述第三絕緣層上，且所述第四重佈層電連接至所述連接墊。
11. 如申請專利範圍第 9 項所述的扇外型半導體封裝，其中所述第一絕緣層的厚度大於所述第二絕緣層的厚度。
12. 如申請專利範圍第 9 項所述的扇外型半導體封裝，其中所述第三重佈層的厚度大於所述第二互連部件的所述重佈層的厚度。
13. 如申請專利範圍第 9 項所述的扇外型半導體封裝，其中所述第一重佈層安置於所述半導體晶片的所述主動表面與所述非主動表面之間的水平上。
14. 如申請專利範圍第 9 項所述的扇外型半導體封裝，其中所述第三重佈層的下表面安置於低於所述連接墊的下表面的水平上。
15. 一種扇外型半導體封裝，包括：半導體晶片，其具有上面安置有連接墊的主動表面以及與所述主動表面對置的非主動表面；囊封體，其囊封所述半導體晶片的所述非主動表面的至少部分；第二互連部件，其安置於所述半導體晶片的所述主動表面上且包含電連接至所述半導體晶片的所述連接墊的重佈層；鈍化層，其安置於所述第二互連部件上且具有暴露所述第二互連部件的所述重佈層的至少部分的開口；以及凸塊下金屬層，其安置於所述鈍化層上且填充所述開口的至少部分，其中所述凸塊下金屬層包含：第一導體層，其形成於所述鈍化層的表面上；第二導體層，其形成於經暴露的所述重佈層、所述開口的壁以及所述第一導體層上；以及第三導體層，其形成於所述第二導體層上，形成於所述鈍化層的所述表面上的導體層的數目大於形成於經暴露的所述重佈層以及所述鈍化層中的所述開口的所述壁上的導體層的數目，所述第一導體層包含僅由金屬組成的金屬層，且所述第二導體層的厚度小於所述第一導體層以及所述第三導體層的厚度，所述鈍化層包含無機填充劑以及絕緣樹脂，且包含於所述鈍化層的所述絕緣樹脂中的化學反應基團中的至少一者自組裝至所述第一導體層的金屬。

圖式簡單說明

(3)

自以下結合附圖進行的詳細描述，將更清楚地理解本發明的上述以及其他態樣、特徵以及優點。

圖 1 為說明電子裝置系統的實例的示意性方塊圖。

圖 2 為說明電子裝置的實例的示意性透視圖。

圖 3A 以及圖 3B 為說明在被封裝之前以及之後的扇入型半導體封裝的狀態的示意性橫截面圖。

圖 4 為說明扇入型半導體封裝的封裝製程的示意性橫截面圖。

圖 5 為說明扇入型半導體封裝安裝於插入式基板上且最終安裝於電子裝置的主板上的情況的示意性橫截面圖。

圖 6 為說明扇入型半導體封裝嵌入於插入式基板中且最終安裝於電子裝置的主板上的情況的示意性橫截面圖。

圖 7 為說明扇出型半導體封裝的示意性橫截面圖。

圖 8 為說明扇出型半導體封裝安裝於電子裝置的主板上的情況的示意性橫截面圖。

圖 9 為說明扇出型半導體封裝的實例的示意性橫截面圖。

圖 10 為沿圖 9 的扇出型半導體封裝的線 I-I'獲取的示意性平面圖。

圖 11A 以及圖 11B 為說明圖 9 的扇出型半導體封裝的區 A 的示意性放大圖。

圖 12A 至圖 12G 為說明製造圖 9 的扇出型半導體封裝的製程的實例的示意圖。

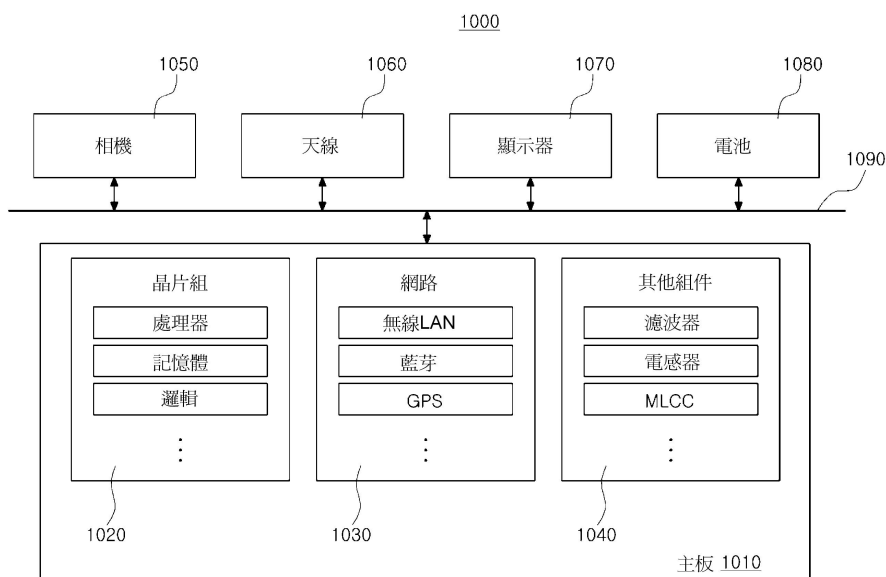
圖 13 為說明圖 12A 至圖 12G 中所使用的製造層合物的製程的實例的示意圖。

圖 14 為說明鈍化層與金屬層之間的自組裝的示意圖。

圖 15 為說明鈍化層的正常固化狀態的示意圖。

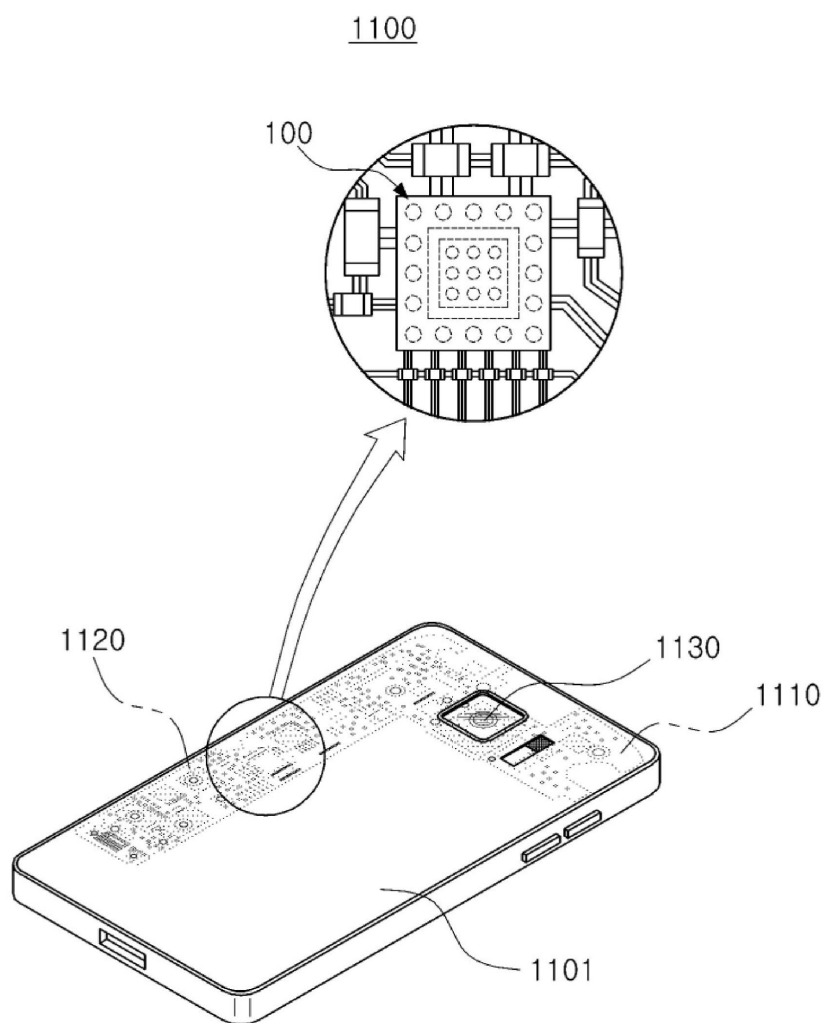
圖 16 為說明扇出型半導體封裝的另一實例的示意性橫截面圖。

圖 17 為說明扇出型半導體封裝的另一實例的示意性橫截面圖。



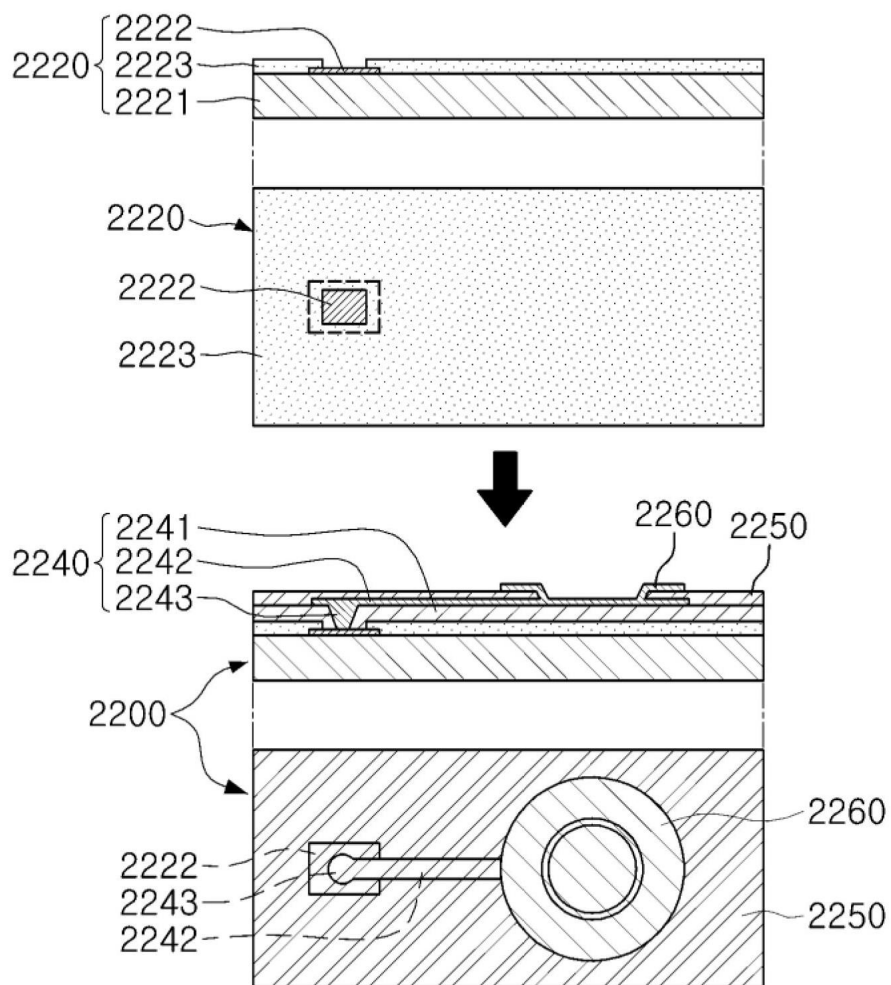
【圖1】

(4)



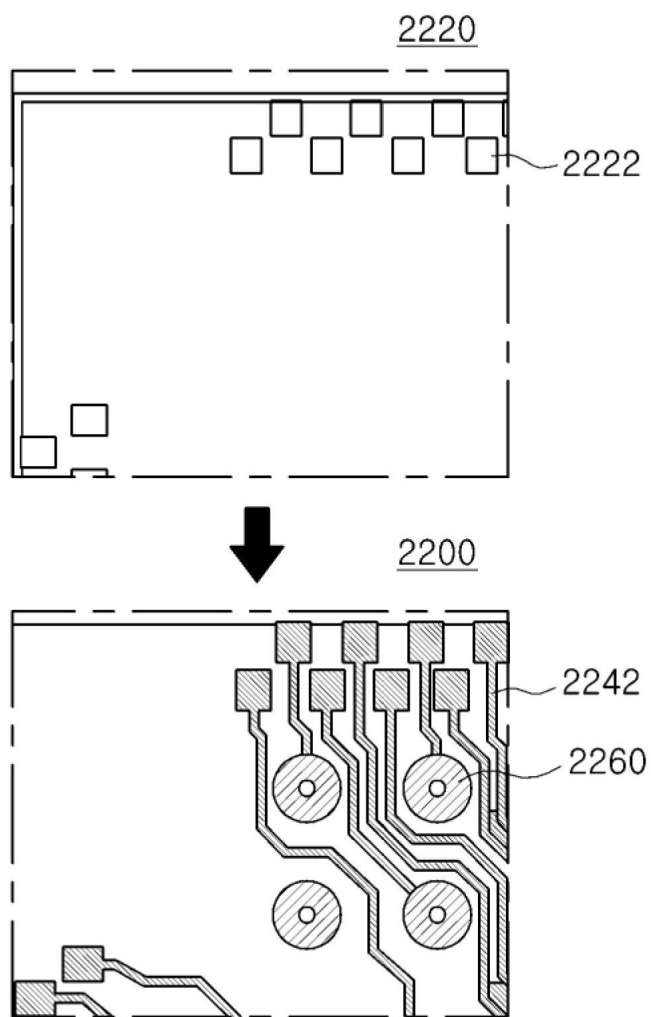
【圖2】

(5)



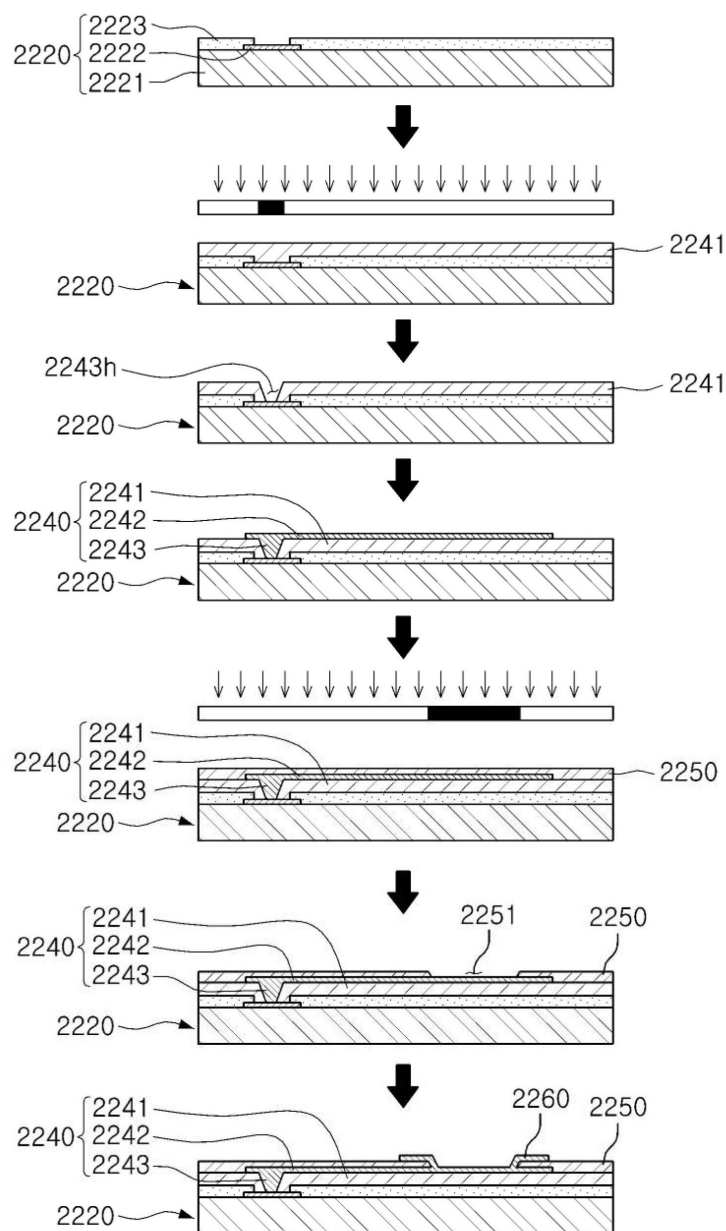
【圖3A】

(6)



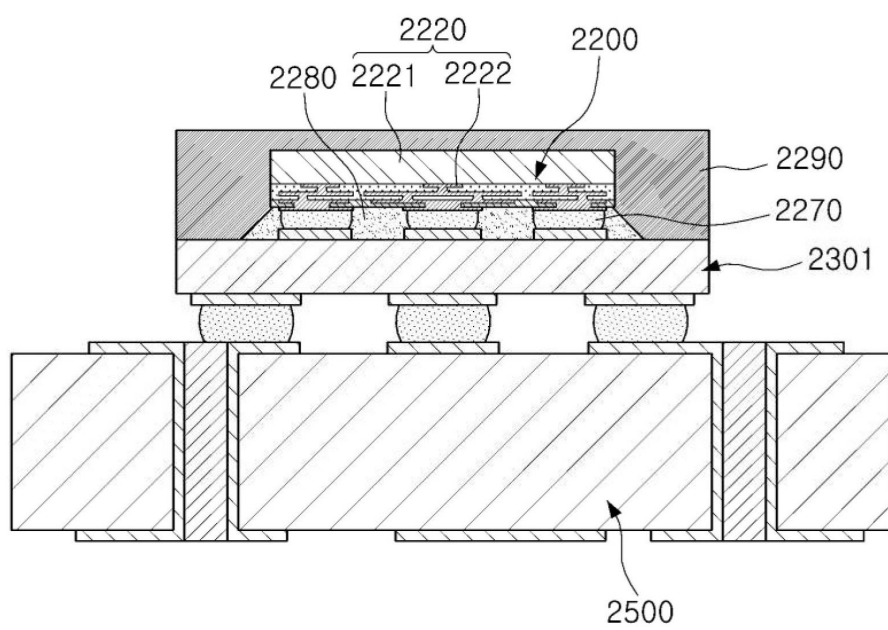
【圖3B】

(7)

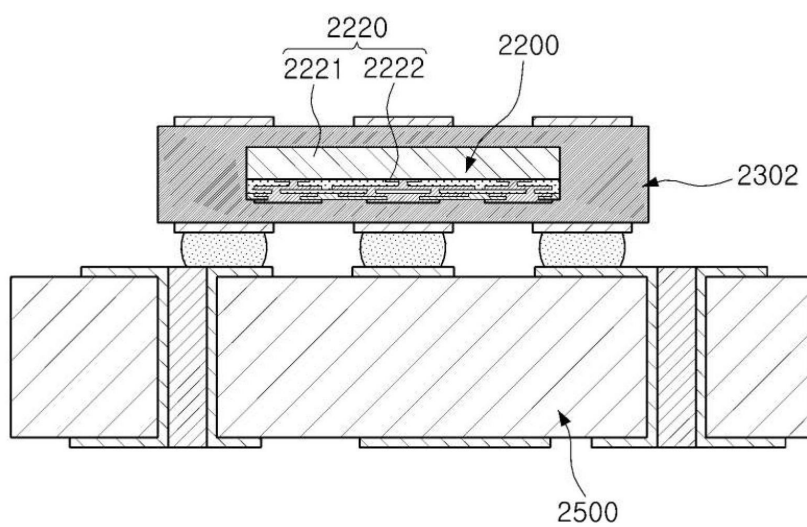


【圖4】

(8)



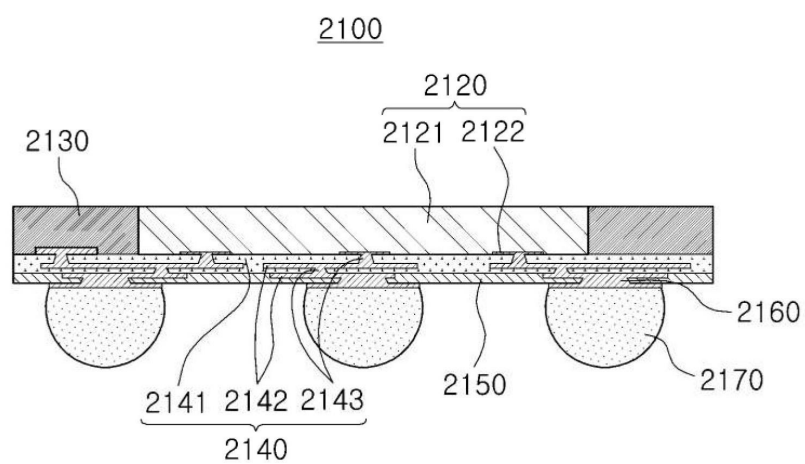
【圖5】



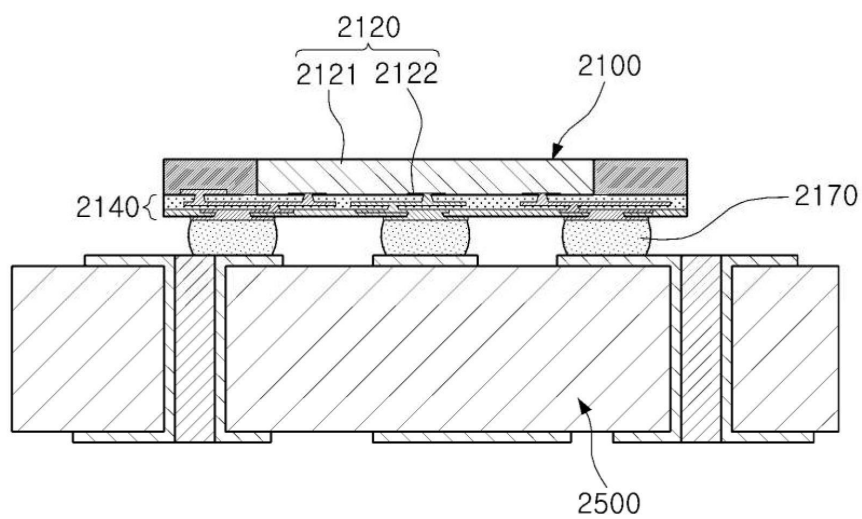
【圖6】



(9)

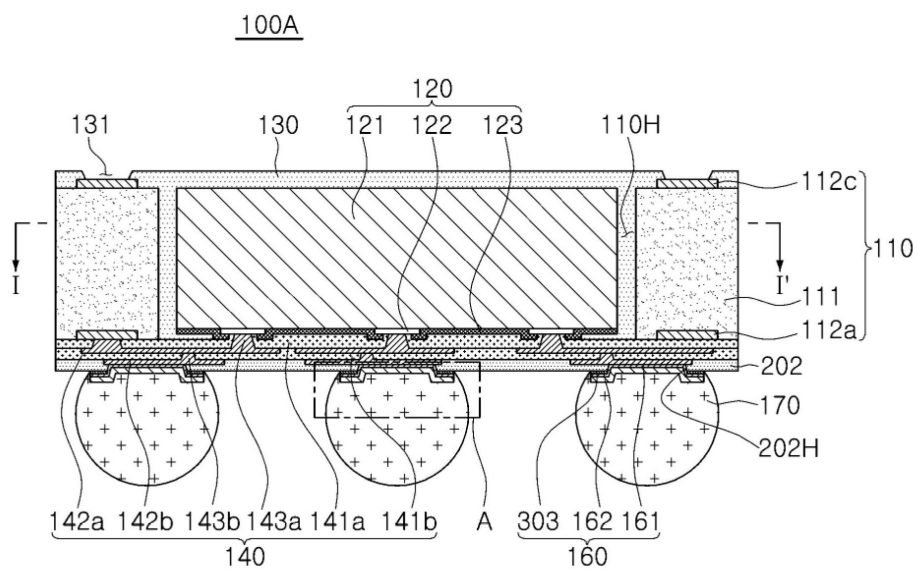


【圖7】



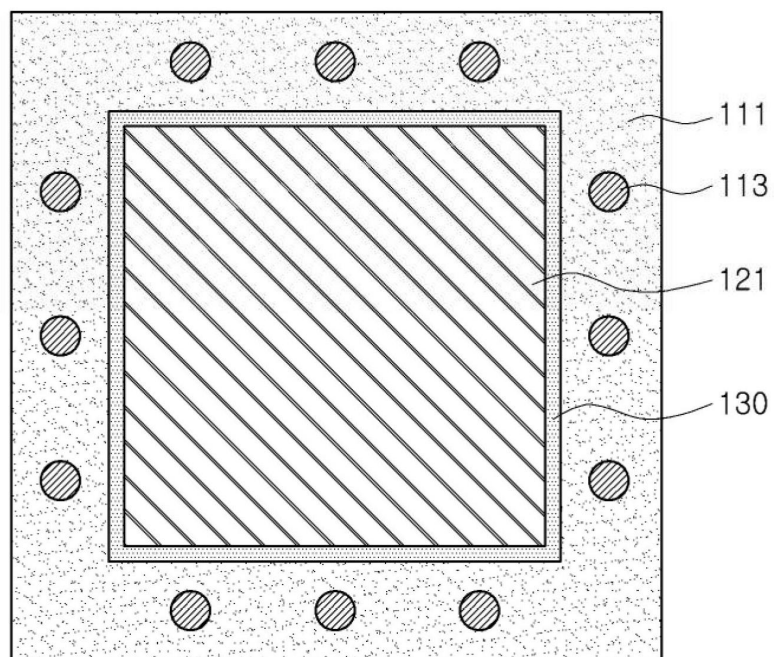
【圖8】

(10)



【圖9】

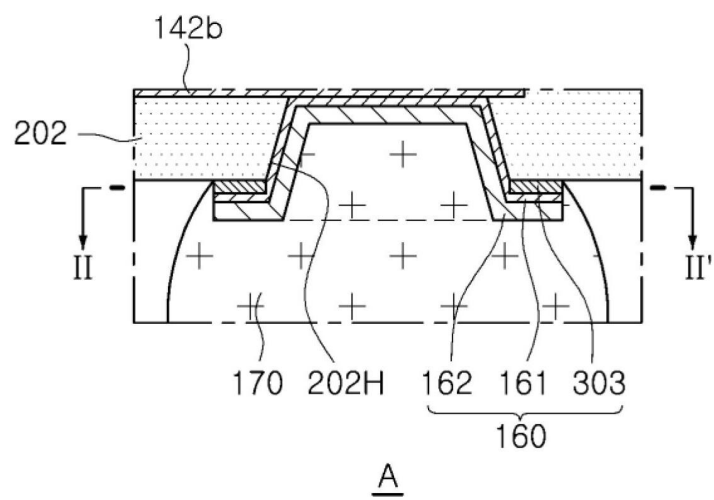
(11)



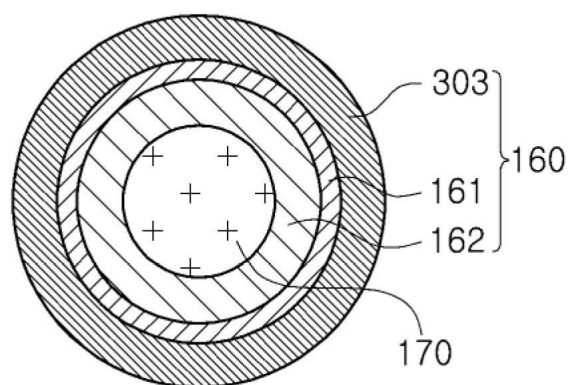
I - I'

【圖10】

(12)

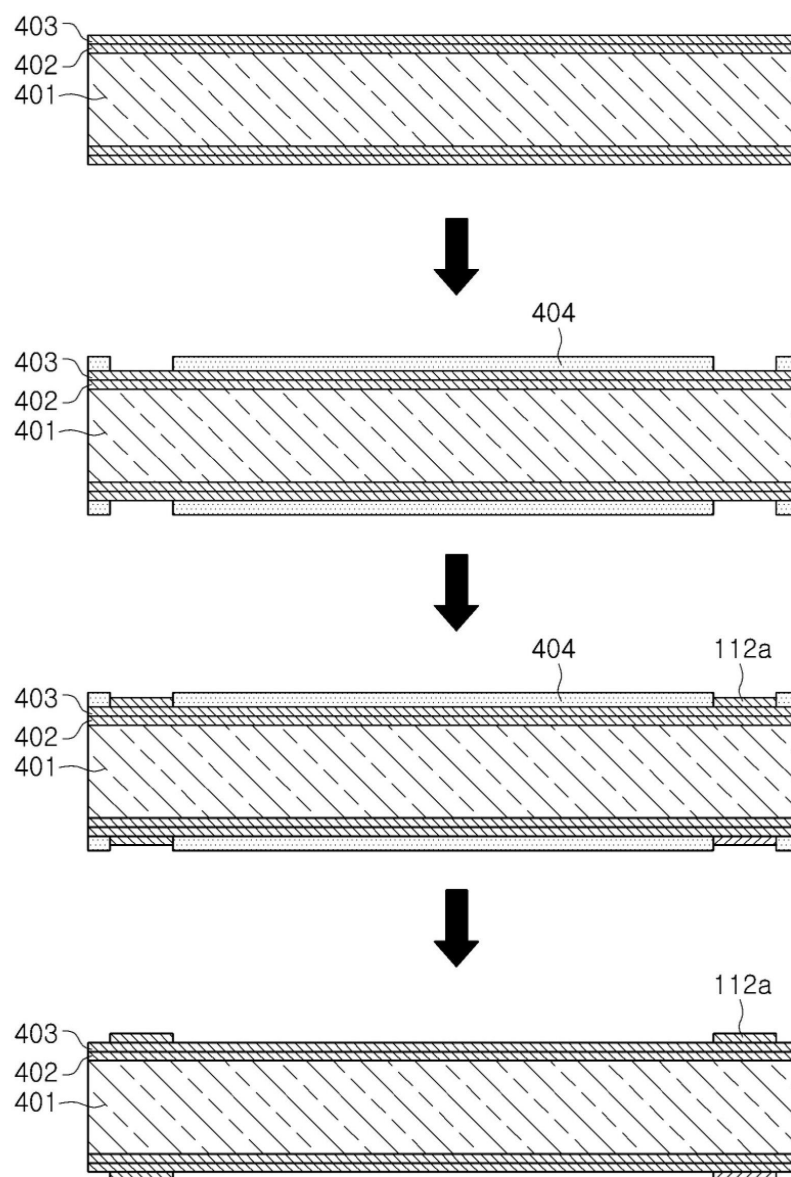


【圖11A】



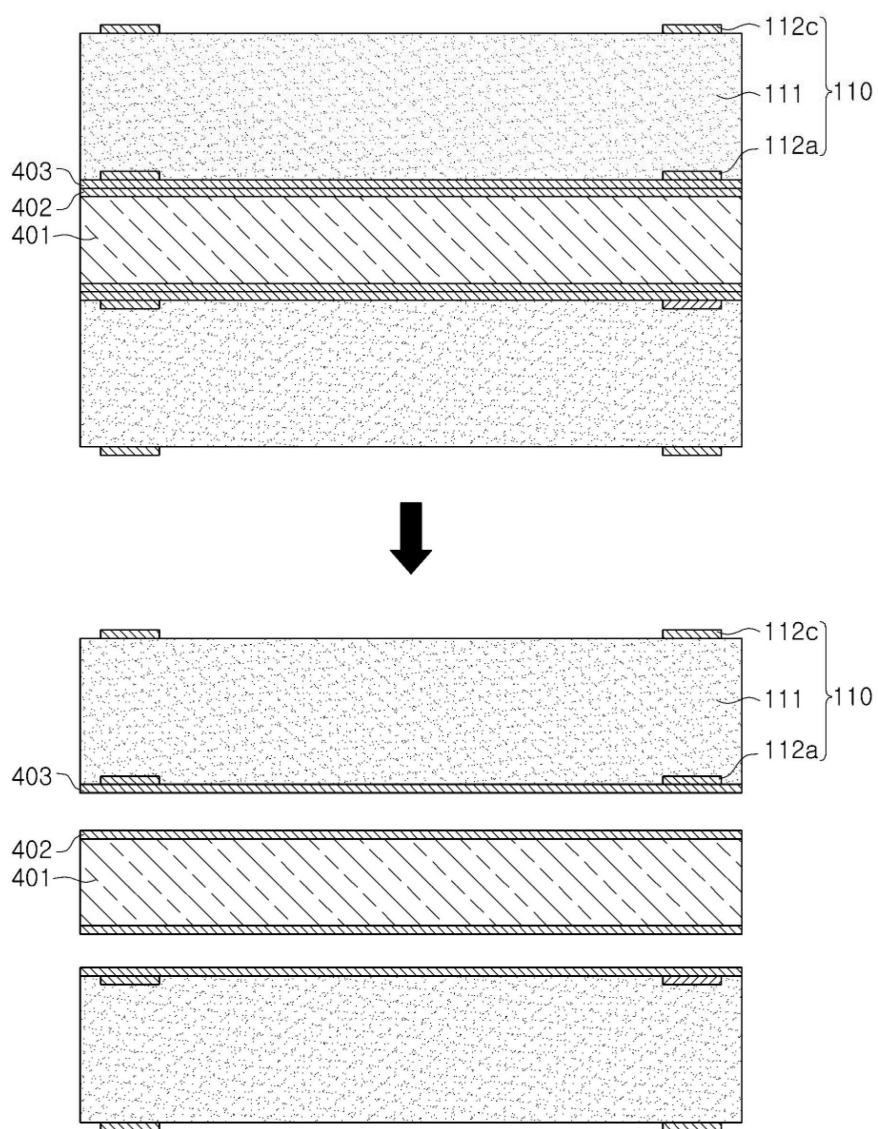
【圖11B】

(13)



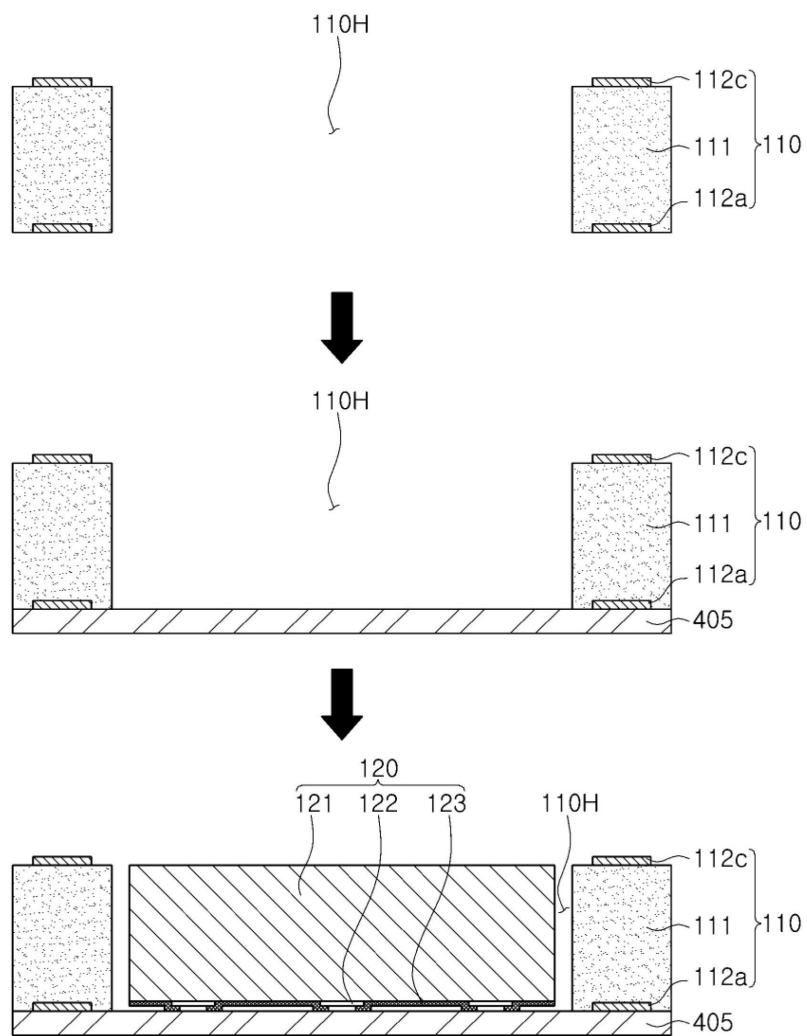
【圖12A】

(14)



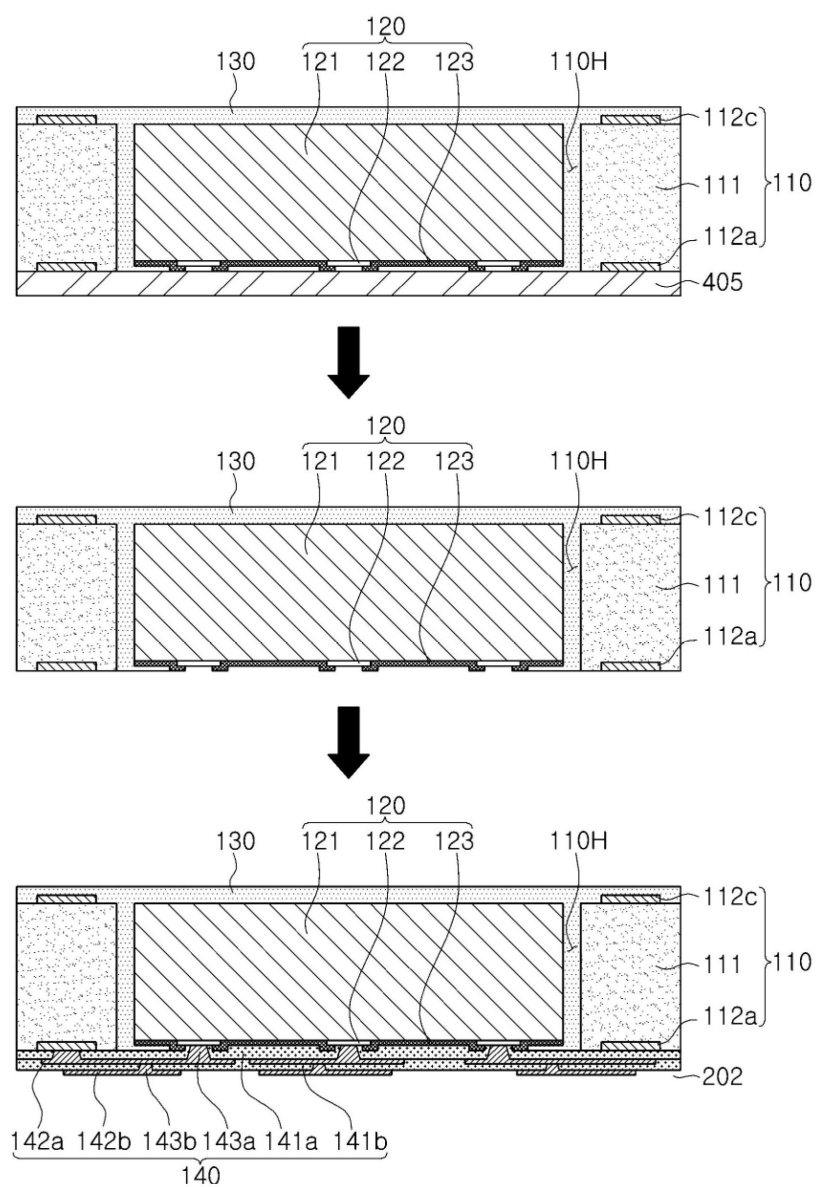
【圖12B】

(15)



【圖12C】

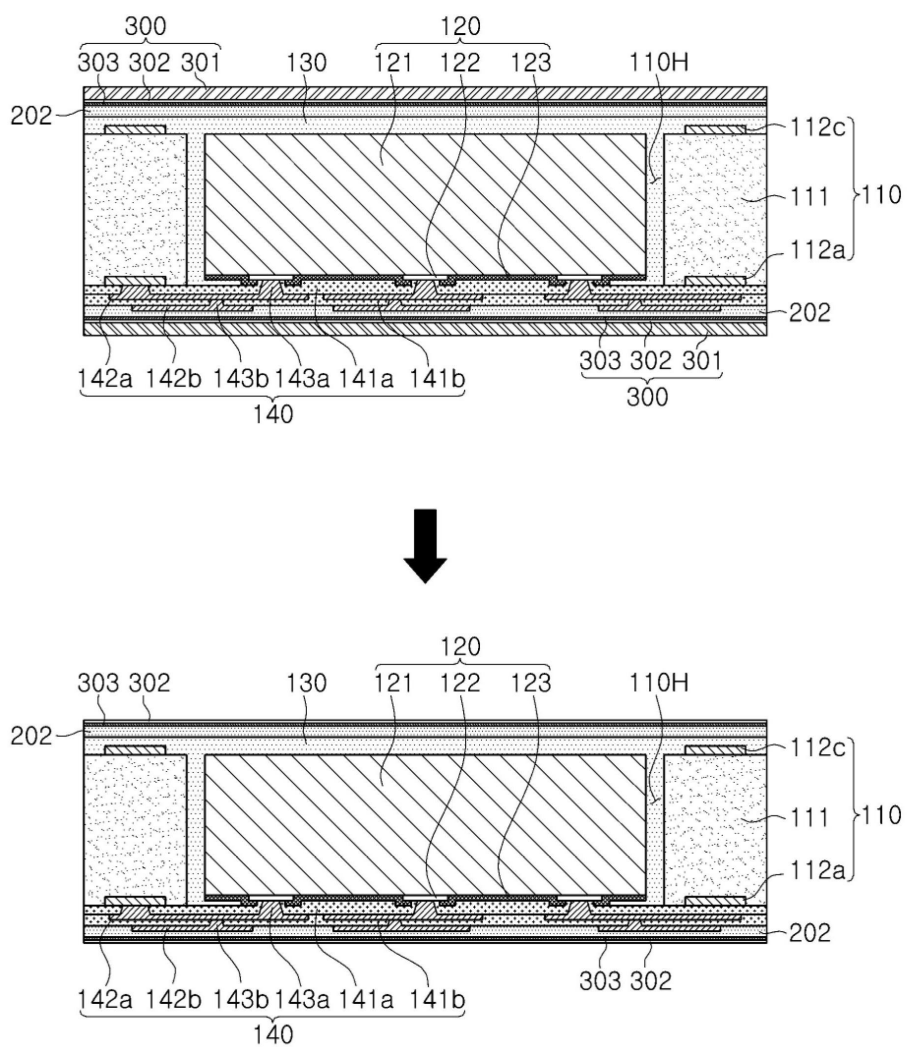
(16)



【圖12D】

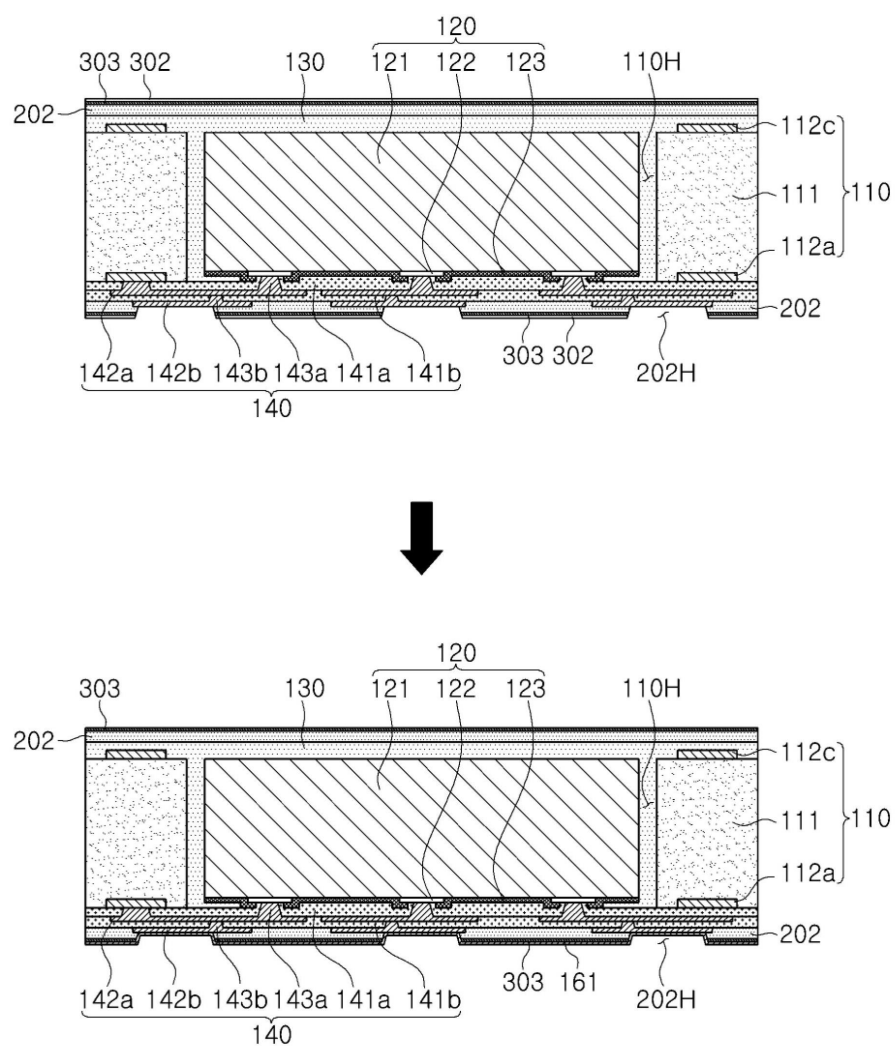


(17)



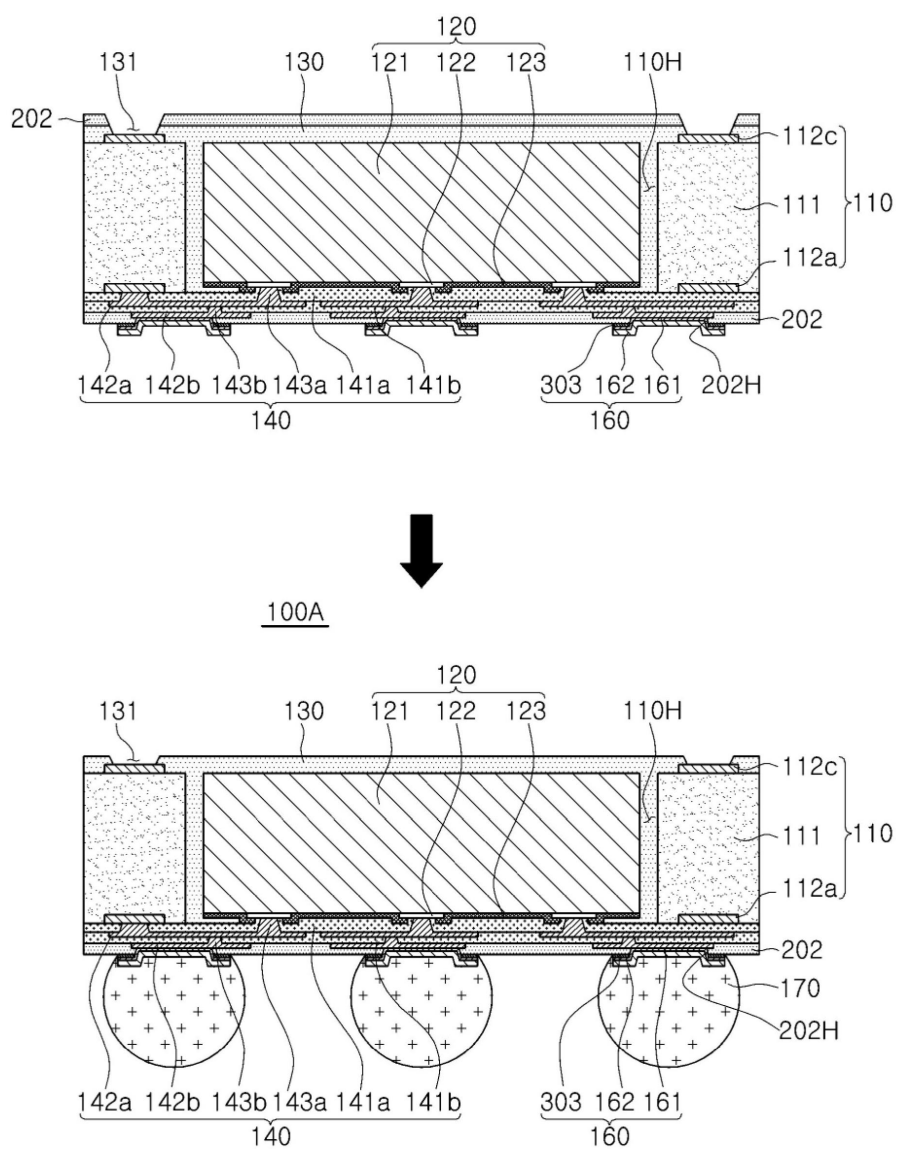
【圖12E】

(18)



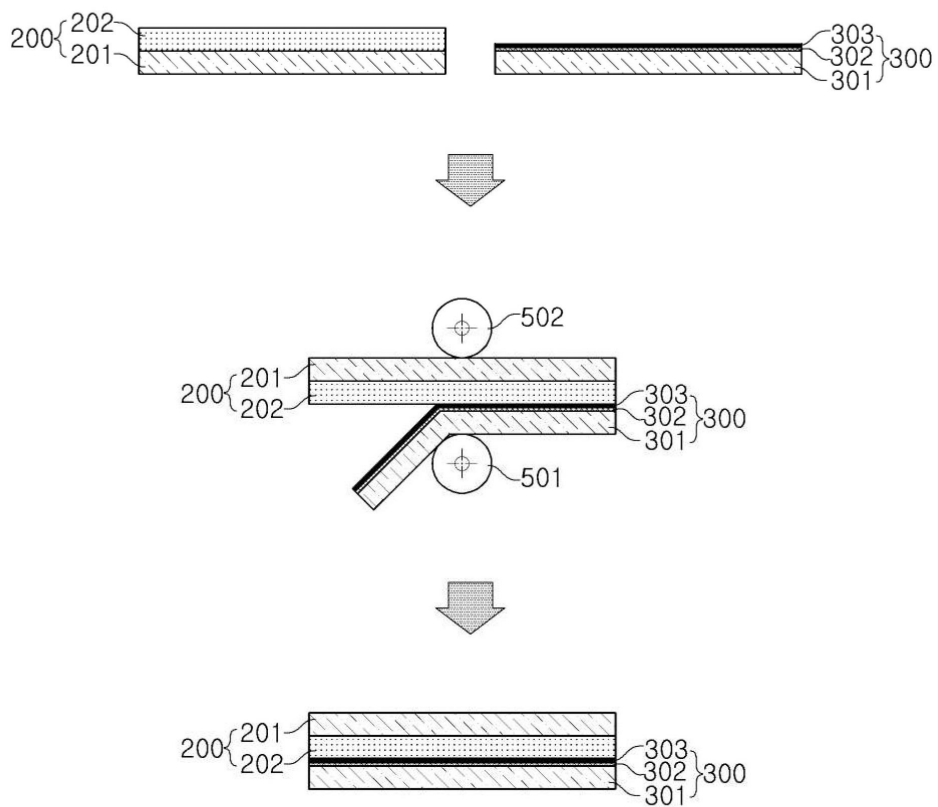
【圖12F】

(19)

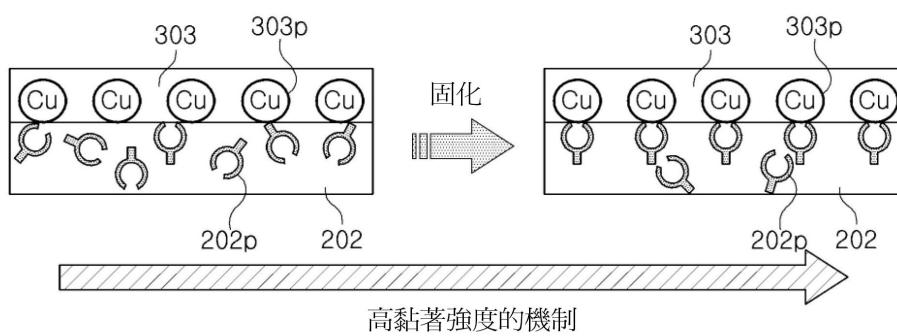


【圖12G】

(20)

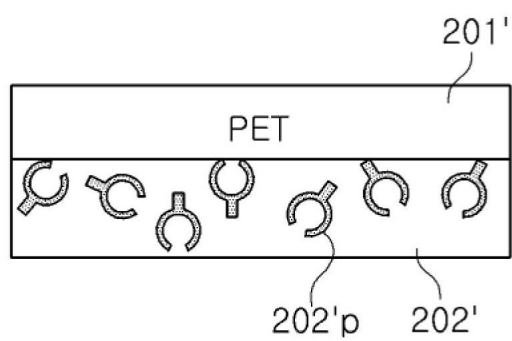


【圖13】



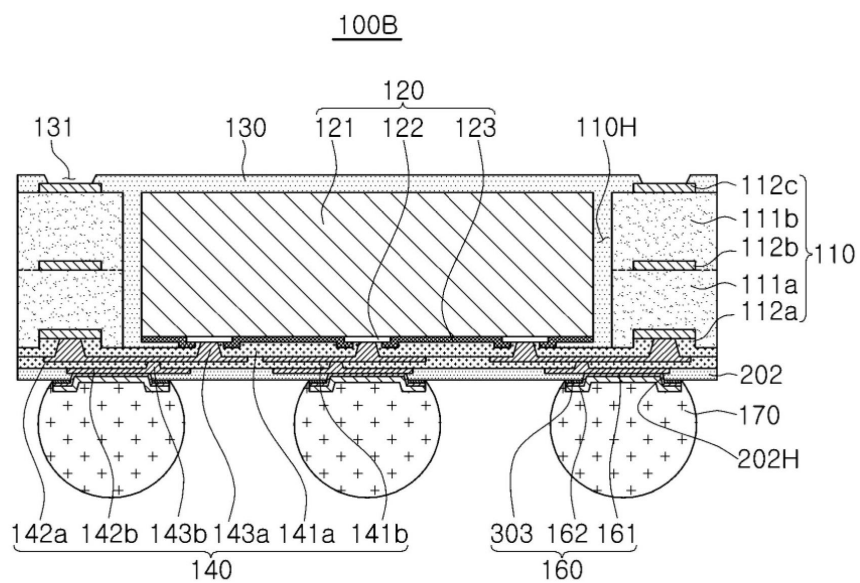
【圖14】

(21)



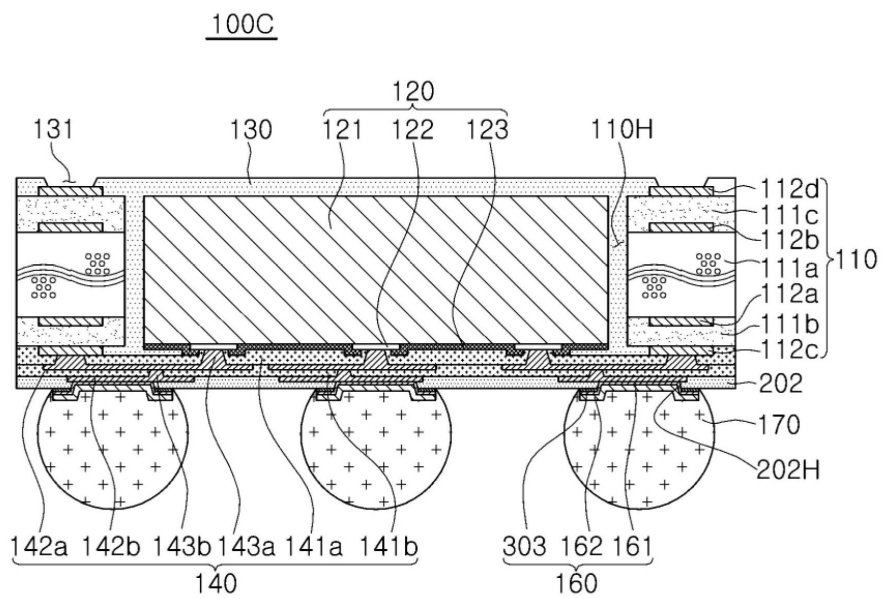
正常固化

【圖15】



【圖16】

(22)



【圖17】